



Trabajo de Fin de Máster
"Máster Universitario en Microelectónica:
Diseño y Aplicaciones de Sistemas
Micro/Nanométricos"

**Regulador de tensión LDO de muy
bajo consumo para sistemas de
recolección de energía en el propio chip**

Óscar Pereira Rial
Noviembre de 2018

Índice general

1. Introducción	5
1.1. Reguladores de tensión	5
2. Análisis del regulador LDO	7
2.1. Estabilidad	7
2.2. PSR	9
3. Referencia de tensión	13
3.1. Estudio del generador de V_{ref} con solo transistores PMOS	13
3.1.1. Ecuaciones fundamentales	14
3.1.2. Obtención numérica de V_{ref}	15
3.1.3. Validación del modelo numérico	17
3.2. Generador de tensión de referencia propuesto	17
3.2.1. Análisis de PSR y mejora en alta frecuencia	20
3.2.2. Resultados de simulación del generador de tensión de referencia	24
4. Regulador de tensión	27
4.1. Amplificador de error	27
4.1.1. Simulación del amplificador de error	28
4.2. Bomba de carga	30
4.3. Regulador completo	31
5. Implementación en silicio y resultados experimentales	39

Capítulo 1

Introducción

Una aplicación de la microelectrónica en auge es la relacionada con sistemas biomédicos implantables en el cuerpo para poder monitorizar variables fisiológicas o poder incluso dosificar medicamentos. Los posibles métodos de alimentación eléctrica en este ámbito pueden ser baterías o pilas, las cuales ofrecen autonomía limitada y requieren ser reemplazados con una cierta periodicidad, y sistemas de recolección de energía (Energy Harvesting) autónomos que se sirvan por ejemplo de gradientes de temperatura, luz o radiofrecuencia para obtener y transformar energía útil con la que alimentar dispositivos microelectrónicos. Estos sistemas de recolección de energía ofrecen potencias muy bajas, del orden de microvatios, debido a que estamos hablando de sistemas de reducidas dimensiones para generar energía de fuentes que tienen una baja potencia. Por este motivo, es de mayor importancia que la circuitería vinculada a dispositivos implantables tenga un consumo de energía lo más bajo posible.

El objetivo de este trabajo es el diseñar un regulador de tensión para un sistema de recolección de energía dentro del entorno de un sistema bioimplantable. Para ello se ha diseñado un circuito generador de tensión de referencia buscando el menor consumo de potencia posible evitando la necesidad de calibración post-fabricación (*trimming*¹). A continuación se ha diseñado el amplificador de error y el resto del regulador.

1.1. Reguladores de tensión

La estructura básica de un regulador de tensión consta de un amplificador de error, una tensión de referencia y un transistor de paso. El amplificador de error realiza una comparación entre la tensión de salida y la tensión de referencia para elevar o reducir la tensión de puerta del transistor de paso y así adecuar la corriente de salida del transistor a la carga para la tensión de salida especificada.

Tradicionalmente este tipo de reguladores hacían uso de una capacidad externa conectada a la salida para fijar el polo dominante del sistema a la salida y por tanto obtener un sistema estable. Pero en sistemas contenidos en un chip,

¹Los sistemas de *trimming* se usan como calibración de un chip después de fabricado para contrarrestar las desviaciones debidas a variaciones de proceso aleatorias propias de la fabricación de chips en silicio. En el caso concreto de tensiones de referencia se suelen usar sistemas de trimming basados en controlar la corriente de polarización de una rama digitalmente, de forma que se adapta dicha corriente para obtener el valor deseado [2, 1, 5]

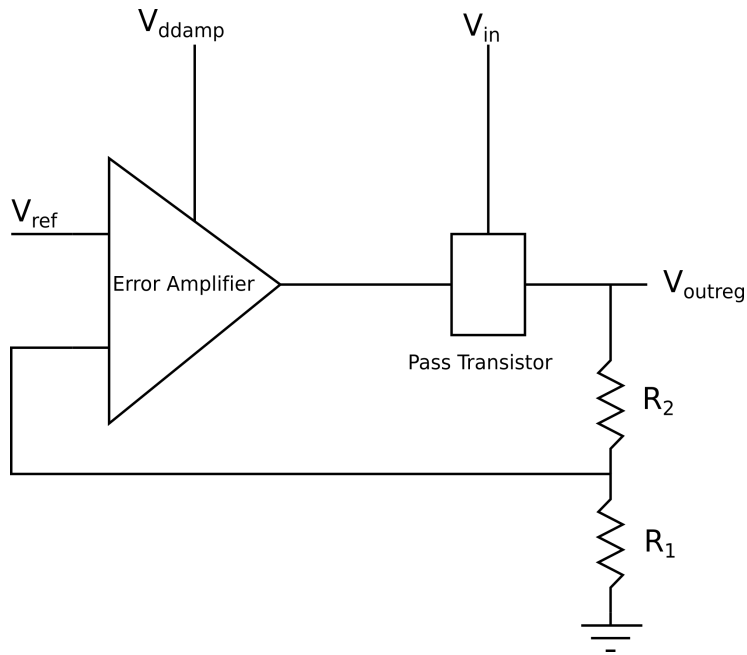


Figura 1.1: Estructura general de un regulador de tensión analógico basado en transistor de paso.

el uso de capacidades externas queda descartado, y por tanto hay que realizar un diseño teniendo especial cuidado con la estabilidad del sistema

Lo más común es usar un transistor de paso de canal P, debido a que la corriente máxima de salida vendrá determinada por la tensión entre la entrada V_{in} y la tensión mínima de salida del amplificador de error, que típicamente será tierra, mientras que usando un transistor NMOS tendremos una corriente máxima determinada por la diferencia de tensión máxima de salida del amplificador de error, que generalmente será V_{ddamp} , y la tensión de salida. A cambio, el uso de un transistor de canal N ofrece mayor estabilidad y un mejor PSR (Power Supply Rejection) como se mostrará posteriormente.

Capítulo 2

Análisis del regulador LDO

En este capítulo se realizará el estudio de la estabilidad y el PSR de un regulador LDO basado en transistor de paso.

2.1. Estabilidad

Partiendo de la estructura general de un regulador de tensión analógico basado en transistor de paso como el mostrado en la figura 1.1, en la figura 2.1 se muestra el diagrama de bloques en pequeña señal para obtener la ganancia de lazo rompiendo el lazo a la entrada del amplificador de error.

La expresión general para la ganancia de lazo vendrá determinada por la ecuación (2.1) donde h_{EA} es la función de transferencia del amplificador de error, h_{pass} la función de transferencia del transistor de paso y $\beta = R_1/(R_1 + R_2)$ el factor de realimentación que determina la proporción de tensión de salida a comparar con la tensión de referencia.

$$H_{loop}(s) = \frac{v_{fb2}}{v_{fb1}} = \beta \cdot h_{EA}(s) \cdot h_{pass}(s) \quad (2.1)$$

Suponiendo que el amplificador de error posee un solo polo o bien que el

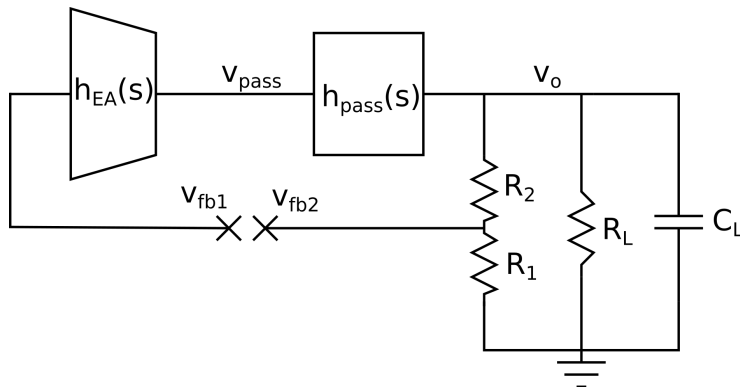


Figura 2.1: Diagrama de bloques en pequeña señal de un regulador de tensión basado en un transistor de paso.

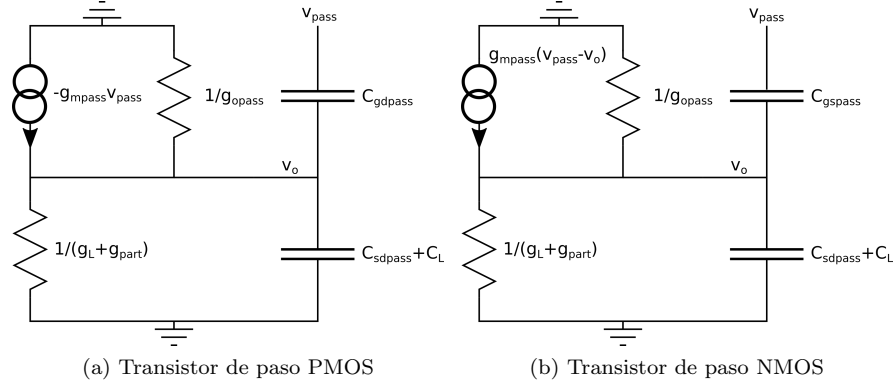


Figura 2.2: Circuitos equivalentes en pequeña señal para el transistor de paso.

segundo polo se encuentra a una frecuencia mucho mayor que el polo dominante, la función de transferencia h_{EA} puede ser expresada como (2.2), donde A_{EA} será la ganancia de tensión en continua, la cual será positiva o negativa si el transistor de paso es PMOS o NMOS respectivamente, y ω_{EA} la frecuencia del polo dominante.

$$h_{EA}(s) = \frac{v_{pass}(s)}{v_{fb1}(s)} = \frac{A_{EA}}{1 + \frac{s}{\omega_{EA}}} \quad (2.2)$$

La función de transferencia del nodo de salida $h_{pass}(s)$ depende de si el transistor de paso es PMOS o NMOS. En las figuras 2.2a y 2.2b se muestran los circuitos equivalentes en pequeña señal para obtener la función de transferencia del transistor de paso con los efectos del nodo de salida. Resolviendo el circuito para los dos casos se obtienen las funciones de transferencia (2.3) y (2.4) de las cuales podemos extraer los parámetros de ganancia en continua y la frecuencia del polo de salida para ambos casos en (2.5) y (2.6). g_{mpass} y g_{opass} son la transconductancia y la conductancia de salida del transistor de paso respectivamente, g_L y g_{part} son las conductancias de la carga y el partidor R_1, R_2 , los parámetros C_{gs} , C_{gd} y C_{sd} son las capacidades puerta-fuente, puerta-drenador y fuente-drenador del transistor de paso, y C_L es la capacidad de carga.

$$h_{passPMOS} = \frac{-g_{mpass} + sC_{gdpass}}{g_L + g_{part} + g_{opass} + s(C_L + C_{sdpass} + C_{gdpass})} \quad (2.3)$$

$$h_{passNMOS} = \frac{g_{mpass} + sC_{gspass}}{g_L + g_{part} + g_{opass} + g_{mpass} + s(C_L + C_{sdpass} + C_{gspass})} \quad (2.4)$$

$$A_{passPMOS} = \frac{-g_{mpass}}{g_L + g_{part} + g_{opass}} \quad (2.5a)$$

$$w_{oPMOS} = -\frac{g_L + g_{part} + g_{opass}}{C_L + C_{gdpass} + C_{sdpass}} \quad (2.5b)$$

$$A_{passNMOS} = \frac{g_{mpass}}{g_L + g_{part} + g_{opass} + g_{mpass}} \quad (2.6a)$$

$$w_{oNMOS} = -\frac{g_{mpass} + g_{opass} + g_L + g_{part}}{C_L + C_{gspass} + C_{sdpass}} \quad (2.6b)$$

En transistores MOS, de forma general se puede asumir que $g_m \gg g_o$, por lo que la ganancia del transistor de paso es menor usando un NMOS que usando un PMOS, como se puede deducir comparando las ganancias en continua (2.5a) y (2.6a) fijándonos en el término g_{mpass} que aparece en el denominador para la ganancia del transistor N. A muy altas frecuencias, ambas funciones de transferencia tienen valores similares dado que la capacidad puerta-drenador en un transistor P va a ser del mismo orden que la capacidad puerta-fuente en un transistor N si ambos son del mismo tamaño. El hecho de tener menos ganancia significa menor ganancia de lazo, y por tanto resulta más fácil conseguir estabilidad en el sistema.

2.2. PSR

La expresión general del PSR¹ para un regulador de tensión, esto es, la proporción de ruido en la fuente de alimentación que se ve reflejada a la salida, se puede obtener en base al diagrama mostrado en la figura 2.3. En este diagrama, $h_{EA}(s)$ y $h_{pass}(s)$ son las funciones de transferencia del amplificador de error y del transistor de paso respecto a su entrada y tensión de puerta respectivamente, y las funciones $psr_{EA}(s)$ y $psr_{pass}(s)$ son el PSR parcial de cada parte, esto es, $psr_{EA}(s) = \frac{\partial v_{pass}}{\partial v_{in}}$ teniendo en cuenta sólo el camino de la tensión de alimentación a la salida del amplificador con las entradas a tierra y $psr_{pass} = \frac{\partial v_{outreg}}{\partial v_{in}}$ con v_{pass} a tierra.

Planteando las ecuaciones correspondientes (2.7) se llega a la expresión general del PSR para un regulador que toma la forma de la expresión (2.8).

$$v_o = psr_{pass}v_{in} + h_{pass}v_{pass} \quad (2.7a)$$

$$v_{pass} = psr_{EA}v_{in} + \beta h_{EA}v_o \quad (2.7b)$$

$$PSR_{LDO} = \frac{v_{outreg}}{v_{in}} = \frac{psr_{pass} + h_{pass}psr_{EA}}{1 - \beta h_{pass}h_{EA}} \quad (2.8)$$

En la figura 2.4 se muestran los circuitos en pequeña señal para la obtención de la función de transferencia psr_{pass} para los casos de canal P y canal N.

$$psr_{pass(PMOS)} = \frac{g_{mpass} + g_{opass} + sC_{sdpass}}{g_L + g_{part} + g_{opass} + s(C_{gdpass} + C_{sdpass} + C_L)} \quad (2.9)$$

¹PSR, del inglés *Power Supply Rejection*, mide la capacidad de un circuito para evitar que posibles variaciones en la tensión de alimentación se vean reflejadas en la salida de éste. Para valores de tensión, el PSR se calcula como $PSR = 20\log(\frac{v_{output}}{v_{input}})$ donde v_{output} y v_{input} son las amplitudes de la componente de ruido para la salida y la entrada respectivamente.

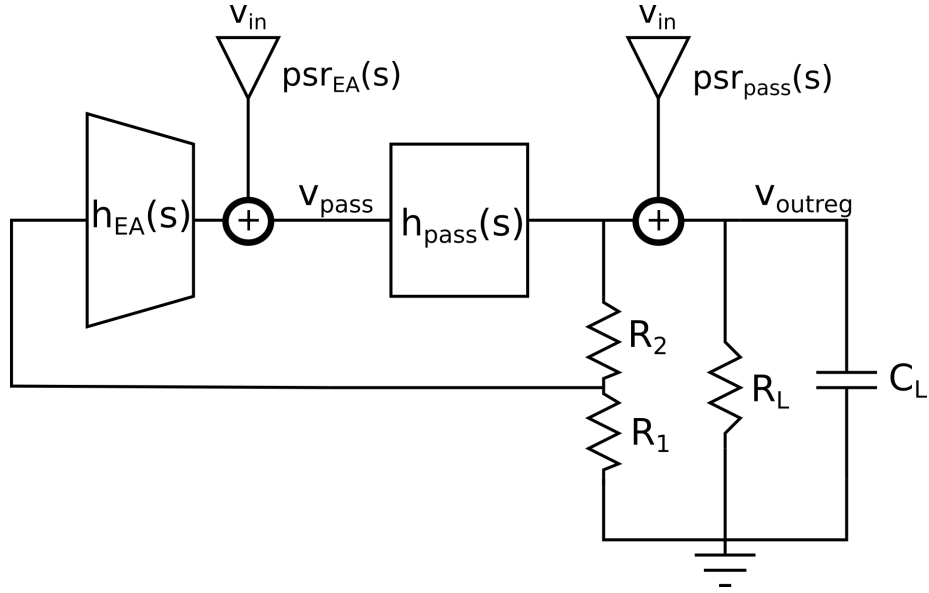


Figura 2.3: Diagrama de bloques para la obtención del PSR de un regulador de tensión analógico de transistor de paso.

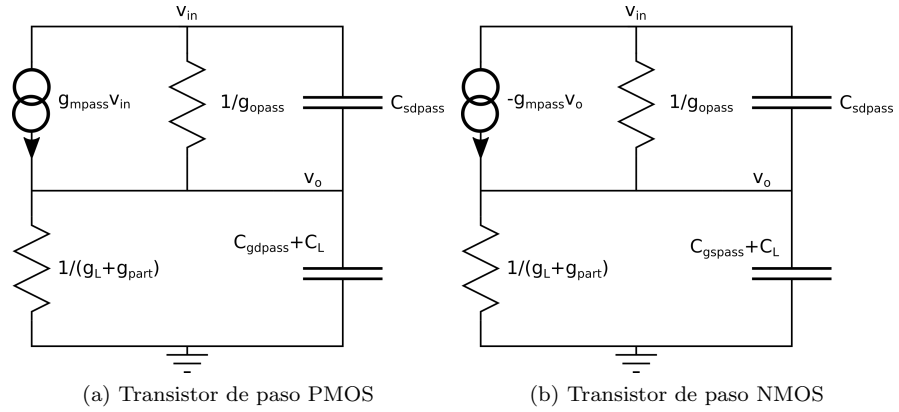


Figura 2.4: Circuitos en pequeña señal para la obtención del PSR del transistor de paso.

$$psr_{pass(NMOS)} = \frac{g_{opass} + sC_{sdpass}}{g_L + g_{part} + g_{mpass} + s(C_{gs\text{pass}} + C_{sdpass} + C_L)} \quad (2.10)$$

Recordando la relación $g_m \gg g_o$, la ganancia a frecuencias bajas de la función del PSR será inferior en el caso del transistor NMOS. Por tanto, usar un transistor de paso de canal N repercutirá en un mejor PSR respecto al uso de un transistor de canal P.

Capítulo 3

Referencia de tensión

Como se muestra en la estructura general de un regulador de tensión, se necesita una tensión de referencia con la cual comparar la tensión de salida y por tanto mantener la tensión de salida alrededor de la tensión deseada. Para ello, en primer lugar se ha diseñado un circuito generador de tensión de referencia con el objetivo principal de reducir al máximo el consumo de potencia de cara a ser utilizado dentro de un sistema implantable.

El circuito generador de tensión de referencia se basa en la implementación mostrada en [4]. La estructura básica de esta tensión de referencia se muestra en la figura 3.1, y está formada únicamente por transistores de canal P. El principio de funcionamiento es la modulación de la tensión umbral de un transistor con la tensión de sustrato.

3.1. Estudio del generador de V_{ref} con solo transistores PMOS

En la figura 3.1 se muestra el núcleo del circuito de generación de tensión de referencia. Por el transistor M_4 circulará una corriente subumbral la cual determina la tensión de puerta del transistor M_3 , V_{body} , y esta tensión modula a su vez a través del efecto sustrato la corriente a través de M_1 para traducirse en la tensión V_{ref} a través del transistor conectado como diodo M_2 .

En el trabajo original, [4], se obtiene una expresión analítica para la tensión de referencia generada por el circuito despreciando la corriente a través de la unión PN formada por la fuente y el sustrato del transistor M_1 , la cual se encontrará polarizada directamente. Esta afirmación puede ser realizada si la corriente por la rama izquierda del circuito es muy grande o si la tensión V_{body} o la anchura de canal del transistor M_1 son pequeñas. Buscando el menor consumo posible, la corriente por la rama izquierda ha de ser reducida, y por tanto la corriente fuente-sustrato de M_1 resulta significativa. Un ejemplo obtenido por simulación para el circuito bajo estudio sobre la tecnología CMOS usada, UMC 180 μm , arroja una corriente fuente-sustrato, I_{SBM1} , de prácticamente el mismo valor que la corriente de drenador de M_4 , con un valor de 12 pA.

Es por esto que se ha planteado un modelo numérico con el cual obtener la tensión de referencia del circuito sin despreciar la corriente I_{SBM1} así como otros efectos.

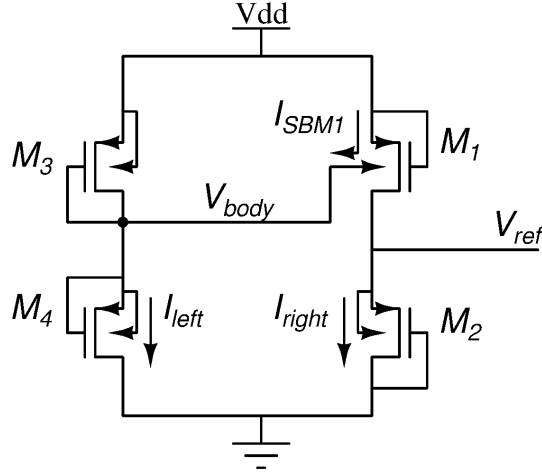


Figura 3.1: Esquemático del núcleo generador de tensión de referencia PMOS-only V_{ref} .

3.1.1. Ecuaciones fundamentales

La corriente de drenador de un transistor PMOS se puede expresar como (3.1),

$$I_D = I_s \frac{W}{L} e^{\frac{V_{sg} + V_{th}}{nV_T}} (1 - e^{\frac{-V_{sd}}{V_T}}) \simeq I_s \frac{W}{L} e^{\frac{V_{sg} + V_{th}}{nV_T}} \quad (3.1)$$

dónde $I_s = 2n\mu_p C_{ox} V_T^2$ es la corriente característica del transistor, $n = 1 + \frac{\gamma}{2\sqrt{V_{BS} + 2|\Phi_F|}}$ es la pendiente subumbral, μ_p es la movilidad de los huecos en el canal, $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ es la capacidad por unidad de área de la puerta con ϵ_{ox} la permitividad del óxido de puerta y t_{ox} el grosor del óxido, $\gamma = \frac{\sqrt{2q\epsilon_{Si}N_{ch}}}{C_{ox}}$ es el factor de efecto sustrato con N_{ch} el dopado de canal, $|\Phi_F| = V_T \ln(\frac{N_{ch}}{n_i})$ es el potencial de Fermi siendo n_i la concentración intrínseca de portadores del silicio, y $V_T = \frac{kT}{q}$ el potencial térmico con k la constante de Boltzman, T la temperatura y q la carga del electrón[3, 6]. Si la tensión fuente-drenador es igual o mayor que cuatro veces el potencial térmico (aproximadamente 100 mV a temperatura ambiente), el transistor se dice que está en saturación y el término $e^{\frac{-V_{sd}}{V_T}}$ de la ecuación (3.1) se puede obviar.

La corriente fuente-substrato de un transistor PMOS puede ser calculada con la ecuación de una unión PN convencional (3.2),

$$I_{SB} = I_{D0} \cdot (e^{\frac{V_{sb}}{n_j V_T}} - 1) \quad (3.2)$$

donde I_{D0} es la corriente inversa de saturación de la unión y n_j es un parámetro denominado coeficiente de emisión de la unión, normalmente con un valor próximo a 1. En el transistor, el término I_{D0} se puede calcular como $I_{D0} = J_s \cdot A_s + J_{ssw} \cdot P_s$, donde J_s es la densidad de corriente de saturación, J_{ssw} es la densidad perimetral de corriente de saturación, A_s y P_s son el área y perímetro de la fuente. J_s y J_{ssw} son parámetros que dependen de la tecnología y el área y perímetro A_s y P_s dependen del ancho de canal del transistor, W , y de la

3.1. ESTUDIO DEL GENERADOR DE V_{REF} CON SOLO TRANSISTORES PMOS¹⁵

longitud de difusión de fuente, E , y se pueden calcular como $A_s = W \cdot E$ y $P_s = 2 \cdot (W + E)$.

La dependencia de la tensión umbral del transistor con la polarización de substrato tiene de forma general la forma de (3.3)[6].

$$V_{th} = V_{th0} - \gamma \left(\sqrt{2|\Phi_F| - V_{SB}} - \sqrt{2|\Phi_F|} \right) \quad (3.3)$$

Para estimar la dependencia de la tensión umbral con las dimensiones de canal de un transistor se puede recurrir a la expresión (3.4)[7],

$$V_{th} = V_{thGR} + D_{l1} \left(\frac{1}{L_{GR}} - \frac{1}{L} \right) + D_{l2} \left(\frac{1}{L_{GR}^2} - \frac{1}{L^2} \right) + D_w \left(\frac{1}{W_{GR}} - \frac{1}{W} \right) \quad (3.4)$$

donde D_{l1} , D_{l2} y D_w son parámetros de la tecnología y V_{thGR} es la tensión umbral de un transistor M_{GR} tomado como referencia cuyo ancho y longitud de canal son W_{GR} y L_{GR} respectivamente.

3.1.2. Obtención numérica de V_{ref}

Aplicando ahora las ecuaciones anteriormente expuestas al circuito de la figura 3.1 dónde se han supuesto todos los transistores PMOS regulares y que M_1 , M_2 y M_4 están en saturación, se obtiene el siguiente conjunto de relaciones:

$$\begin{aligned} I_{DM1} &= 2n_1\mu_p C_{ox} V_T^2 \frac{W_1}{L_1} e^{\frac{V_{th1}}{n_1 V_T}} \\ I_{DM2} &= 2n_2\mu_p C_{ox} V_T^2 \frac{W_2}{L_2} e^{\frac{V_{ref} + V_{th2}}{n_2 V_T}} \\ I_{DM3} &= 2n_3\mu_p C_{ox} V_T^2 \frac{W_3}{L_3} e^{\frac{V_{dd} - V_{body} + V_{th3}}{n_3 V_T}} \left(1 - e^{\frac{V_{body} - V_{dd}}{V_T}} \right) \\ I_{DM4} &= 2n_4\mu_p C_{ox} V_T^2 \frac{W_4}{L_4} e^{\frac{V_{th4}}{n_4 V_T}} \\ I_{SBM1} &= I_{D0} \left(e^{\frac{V_{dd} - V_{body}}{n_j V_T}} - 1 \right) \end{aligned} \quad (3.5)$$

Dado que la corriente de drenador de M_4 tiene que ser igual a la suma de la corriente de drenador de M_3 y la corriente fuente-substrato de M_1

$$I_{DM4} = I_{DM3} + I_{SBM1} \quad (3.6)$$

$$2n_3\mu_p C_{ox} V_T^2 \frac{W_3}{L_3} e^{\frac{V_{dd} - V_{body} + V_{th3}}{n_3 V_T}} \left(1 - e^{\frac{V_{body} - V_{dd}}{V_T}} \right) + I_{D0} \left(e^{\frac{V_{dd} - V_{body}}{V_T}} - 1 \right) - 2n_4\mu_p C_{ox} V_T^2 \frac{W_4}{L_4} e^{\frac{V_{th4}}{n_4 V_T}} = 0 \quad (3.7)$$

Para la rama derecha del circuito, se puede observar que la corriente de drenador de M_2 ha de ser igual que la corriente de drenador de M_1 , por lo que se deduce la relación (3.8).

$$2n_1\mu_p C_{ox} V_T^2 \frac{W_1}{L_1} e^{\frac{V_{th1}}{n_1 V_T}} = 2n_2\mu_p C_{ox} V_T^2 \frac{W_2}{L_2} e^{\frac{V_{ref} + V_{th2}}{n_2 V_T}} \quad (3.8)$$

Aplicando la ecuación para la dependencia de la tensión umbral con la polarización de sustrato (3.3) al transistor M_1 , se obtiene (3.9). En esta ecuación, el término $V_{th01}(W_1, L_1)$ hace referencia a la tensión umbral de M_1 sin polarización de sustrato pero incorporando las dependencia con la anchura y longitud de canal indicadas en la ecuación (3.4).

$$V_{th1} = V_{th01}(W_1, L_1) - \gamma \left(\sqrt{2|\Phi_F| - (V_{dd} - V_{body})} - \sqrt{2|\Phi_F|} \right) \quad (3.9)$$

Combinando (3.8) y (3.9) se obtiene una expresión para la tensión de referencia V_{ref} sin ignorar la corriente a través de la unión fuente-sustrato del transistor M_1 .

$$V_{ref} = n_2 V_T \left[\ln \left(\frac{n_1}{n_2} \right) + \ln \left(\frac{W_1 L_2}{W_2 L_1} \right) \right] + \frac{n_2}{n_1} V_{th01}(W_1, L_1) - V_{th02}(W_2, L_2) + \frac{n_2}{n_1} \gamma \left(\sqrt{2|\Phi_F| - (V_{dd} - V_{body})} - \sqrt{2|\Phi_F|} \right) \quad (3.10)$$

La pendiente subumbral depende de la polarización de sustrato, por lo que para M_2, M_3 y M_4 se tiene $n_2 = n_3 = n_4 = 1 + \frac{\gamma}{2\sqrt{2|\Phi_F|}}$, mientras que para el transistor M_1 , $n_1 = 1 + \frac{\gamma}{2\sqrt{2|\Phi_F| - (V_{dd} - V_{body})}}$ será generalmente diferente para cada circuito considerado. Si no se requiere de precisión en el cálculo de la tensión de referencia, la ecuación (3.10) se puede aproximar como (3.11) ignorando la dependencia de n_1 con la polarización de sustrato y la influencia de las dimensiones del canal sobre la tensión umbral.

$$V_{ref} \approx n_2 V_T \ln \left(\frac{W_1 L_2}{W_2 L_1} \right) + \gamma \left(\sqrt{2|\Phi_F| - (V_{dd} - V_{body})} - \sqrt{2|\Phi_F|} \right) \quad (3.11)$$

La ecuación para la rama izquierda (3.7) no tiene solución analítica para la tensión $V_{dd} - V_{body}$, por lo que es necesario acudir a métodos numéricos para obtener su valor. Por este motivo se ha implementado un programa C++ con el cual automatizar el cálculo de V_{ref} a partir de las dimensiones de los cuatro transistores y de los distintos parámetros tecnológicos. El programa en cuestión ejecuta el algoritmo mostrado en 1.

Algoritmo 1 Estructura del programa C++ para el cálculo de $V_{dd} - V_{body}$ y V_{ref}

Entradas del programa: V_{th0} , J_s , J_{ssw} , n_j , E , t_{ox} , ϵ_{ox} , μ_p , T , N_{ch} , D_{l1}, D_{l2} , D_w , $\frac{W_1}{L_1}$, $\frac{W_2}{L_2}$, $\frac{W_3}{L_3}$, $\frac{W_4}{L_4}$
 Calcular: C_{ox} , γ , Φ_F , $n_{2,3,4}$, $V_{th2,3,4}$
 Solución numérica usando Newton-Raphson sobre la equation (3.7) $\rightarrow x = V_{dd} - V_{body}$
 Calcular: n_1 , V_{th1}
 Solucionar la ecuación (3.10)

3.1.3. Validación del modelo numérico

Para validar el modelo numérico obtenido y calculado con el algoritmo anterior, se han comparado los resultados de aplicar el algoritmo sobre el circuito con la ecuación mostrada en [4] para la tensión V_{ref} y con simulaciones a nivel de esquemático realizadas con software comercial. En (3.12) se muestra la ecuación obtenida en [4] para V_{ref} , donde la tensión $V_{dd} - V_{body}$ es calculada como $nV_T \ln(W_4 L_3 / W_3 L_4)$. Los valores para γ y Φ_F se han calculado a partir de los parámetros N_{ch} y t_{ox} indicados en la documentación de la tecnología usada. En los cálculos con la ecuación (3.12), se ha usado un valor de pendiente subumbral obtenido como $n = 1 + \frac{\gamma}{2\sqrt{2|\Phi_F|}}$.

$$V_{ref}[4] = \gamma \left(\sqrt{2|\Phi_F| - nV_T \ln \frac{W_4 L_3}{W_3 L_4}} - \sqrt{2|\Phi_F|} \right) + nV_T \ln \frac{W_1 L_2}{W_2 L_1} \quad (3.12)$$

Para realizar la comparación se han usado las geometrías de ejemplo expuestas en la tabla 3.1, con las cuales se han obtenido los resultados numéricos mostrados en la tabla 3.2. El error medio para la tensión V_{ref} del modelo numérico respecto de la simulación para los ejemplos considerados es del 1.85 % frente al error medio del 6.74 % usando la ecuación (3.12) deducida en [4]. Se aprecia mayor diferencia es en el cálculo de la tensión $V_{in} - V_{body}$, donde el modelo numérico propuesto tiene un error medio del 2.06 % frente al 28.5 % de error realizando el cálculo a través de la expresión $V_{in} - V_{body} = nV_T \ln(W_4 L_3 / W_3 L_4)$.

Tabla 3.1: Tamaños de transistores usados como ejemplos.

Ejemplo	W_1/L_1 $\mu\text{m}/\mu\text{m}$	W_2/L_2 $\mu\text{m}/\mu\text{m}$	W_3/L_3 $\mu\text{m}/\mu\text{m}$	W_4/L_4 $\mu\text{m}/\mu\text{m}$
1	15/15	2/10	2/15	150/3
2	15/15	2/10	2/50	150/3
3	22/5	2/10	2/15	300/1,5
4	150/15	2/10	2/50	150/3
5	150/15	2/10	2/50	50/3
6	150/15	2/10	2/15	150/3

3.2. Generador de tensión de referencia propuesto

A partir de la estructura básica de tensión de referencia de sólo transistores PMOS estudiado en la sección 3.1, se propone un circuito generador de tensión de referencia cuyo esquemático se muestra en la figura 3.2.

El circuito consta de la estructura con sólo transistores PMOS, denominada V_{ref} Core en el esquemático, de un filtro RC pasivo y de un mecanismo sencillo para mejorar el tiempo de establecimiento del circuito.

El V_{ref} Core es el circuito formado únicamente por transistores PMOS mostrado en la figura 3.1 anteriormente estudiado pero usando varios transistores M_{2x} en lugar de un único transistor M_2 para obtener una tensión de referencia más elevada para la misma corriente fluyendo por la rama derecha. El valor de

Tabla 3.2: Comparación de valores usando la ecuación sin tener en cuenta la corriente fuente-substrato de M_1 (3.12) y la resolución numérica usando el algoritmo 1 sobre la ecuación (3.10) respecto a simulación eléctrica usando un simulador comercial en tecnología 0.18 μm CMOS.

Ejemplo	Simulación				Ecuación (3.12)				Resolución numérica, (3.10)			
	$V_{dd} - V_{body}$ mV	V_{ref} mV	I_{DM3} pA	I_{SBM1} pA	$V_{dd} - V_{body}$ mV	V_{ref} mV	V_{ref} %	error	$V_{dd} - V_{body}$ mV	V_{ref} mV	V_{ref} %	error
1	179.4	115.2	8.4	1.9	200.7	116.7	1.2		180	116.6		1.2
2	203.5	122.3	5.4	4.9	241.5	130.3	6.5		201.2	125		2.22
3	213	168.6	22.1	10.23	247.6	182.6	8.3		208.2	172.3		2.16
4	160.5	188	1.6	8.7	241.5	208.3	10.8		154.9	184.7		1.74
5	131.2	178.7	0.67	2.8	204.3	195.8	9.6		125.7	173.5		2.92
6	152.7	185.6	3.9	6.4	200.7	194.6	4.9		148.8	182.4		1.75

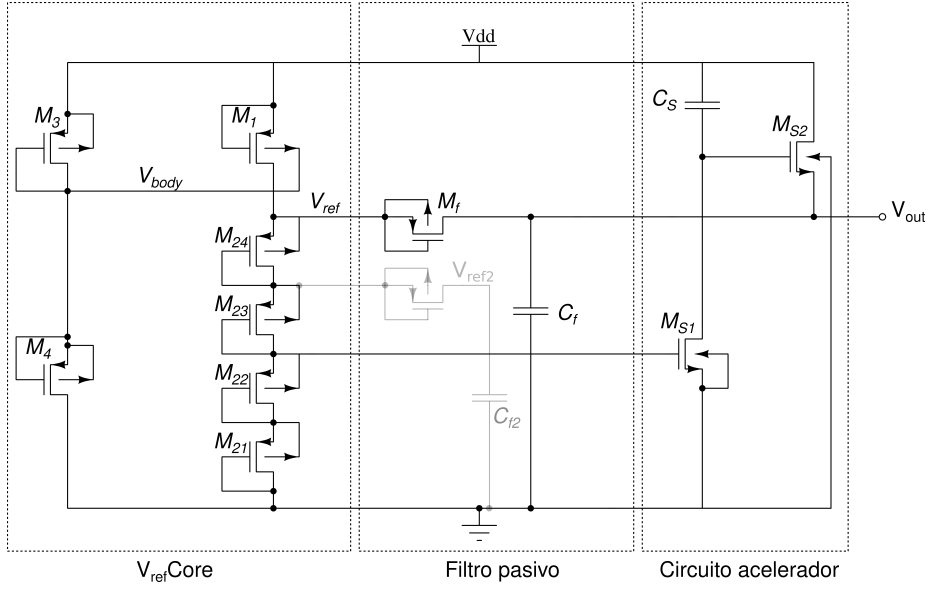


Figura 3.2: Esquemático de la tensión de referencia propuesta.

tensión obtenido puede ser calculado a través del modelo numérico expuesto anteriormente aplicado a cada uno de los transistores M_{2x} y sumando cada una de las contribuciones.

El filtro pasivo está formado por el transistor con puerta y fuente conectados M_f , el cual actúa como una resistencia, y el condensador C_f . Como veremos, con este filtro pasivo se consigue mejorar el PSR a altas frecuencias. Debido a las bajas corrientes fluyendo por el circuito y la incorporación del filtro RC, el tiempo necesario para cargar la capacidad C_f y establecer el valor de salida puede ser muy elevado. Por este motivo se ha incorporado el circuito acelerador formado por los transistores NMOS M_{S1} y M_{S2} y el condensador C_S . Cuando se conecta la tensión de alimentación repentinamente, la tensión de puerta de M_{S2} alcanzará un cierto valor y por tanto habrá un flujo de corriente a través de M_{S2} el cual cargará rápidamente C_f . Cuando la tensión V_{ref} se incrementa, se incrementará también la tensión de puerta del transistor M_{S2} , con lo cual se cargará la capacidad C_S disminuyendo la tensión de puerta de M_{S1} y por tanto aislando el nodo de entrada del nodo de salida. La influencia del circuito acelerador se muestra en la figura 3.3, donde se muestra un resultado de simulación sin el circuito acelerador y al añadir el circuito acelerador usando una capacidad $C_f = 1.54$ pF. El tiempo de establecimiento (2%) obtenido sin acelerador es de $t_{na}=1.04$ s mientras que el tiempo de establecimiento incorporando el circuito acelerador es $t_{ac}=40.3$ ms, lo cual implica una mejora de 25 veces.

En gris claro se muestra una salida V_{ref2} con su correspondiente filtro pasivo, la cual va a ser utilizada posteriormente como una tensión de polarización. Se puede intuir que esta tensión tendrá un valor ligeramente menor que la salida principal de circuito, V_{out} , pero con el resto de métricas muy similares, por lo que el estudio realizado en este capítulo se centra en la tensión de referencia principal del circuito V_{out} .

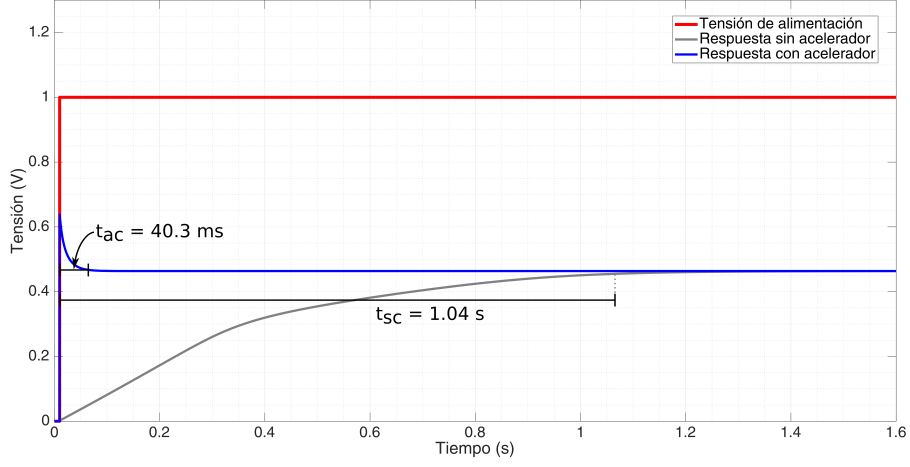


Figura 3.3: Simulación temporal para el circuito propuesto sin usar el el circuito acelerador y usando el circuito acelerador ante un cambio brusco en la tensión de alimentación de 0 V a 1 V.

3.2.1. Análisis de PSR y mejora en alta frecuencia

Como se ha indicado, el filtro pasivo formado por M_f y C_f se ha incorporado al circuito para mejorar el PSR del circuito a altas frecuencias. En esta sección se hará un estudio en pequeña señal para obtener una expresión para el PSR y la mejora que supone incorporar el transistor M_f , dado que en el circuito original propuesto en [4] se indica el uso de capacidades para mejorar el PSR pero sin usar un transistor a modo de resistencia.

En la figura 3.4 se muestra el circuito equivalente en pequeña señal del circuito, donde C_{left} es la capacidad entre la entrada el nodo (A) y es aproximadamente igual a la suma de la capacidad fuente-substrato de M_1 y la capacidad fuente-puerta de M_3 , $C_{left} \approx C_{sgM3} + C_{sgM1}$. C_{right} es la capacidad entre el nodo de entrada y el nodo (B), y su valor se puede aproximar como la capacidad puerta-drenador del transistor M_1 , $C_{right} \approx C_{gdM1}$, mientras C_1 y C_2 son las capacidades entre los nodos (A) y (B) a tierra, respectivamente, pudiendo calcularse como $C_1 \approx C_{gdM4} + C_{dbM4}$ y $C_2 \approx \frac{C_{gsM2x} + C_{gdM2x}}{4}$. C_{Mf} es la capacidad drenador-fuente del transistor de filtro M_f .

Resolviendo las ecuaciones de Kirchnoff (3.13a), (3.13b), (3.13c) para los nodos (A), (B) y (C) del circuito en pequeña señal, se obtiene la función de transferencia mostrada en (3.14)

$$g_{m3} \cdot (v_{in} - v_{body}) - g_{o4} \cdot v_{body} + g_{dio} \cdot (v_{in} - v_{body}) + s \cdot C_{left} \cdot (v_{in} - v_{body}) + s \cdot C_{bd1} \cdot (v_{ref} - v_{body}) - s \cdot C_1 \cdot v_{body} = 0 \quad (3.13a)$$

$$g_{mb1} \cdot (v_{in} - v_{body}) + (g_{o1} + s \cdot C_{right}) \cdot (v_{in} - v_{ref}) - G_{m2} \cdot v_{ref} + (g_{of} + s \cdot C_{Mf}) \cdot (v_{out} - v_{ref}) + s \cdot C_{bd1} (v_{body} - v_{ref}) - s \cdot C_2 \cdot v_{ref} = 0 \quad (3.13b)$$

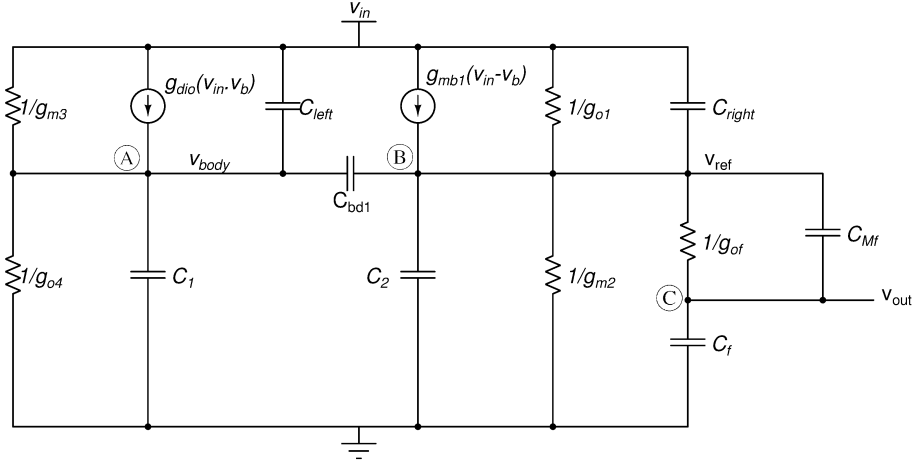


Figura 3.4: Modelo en pequeña señal del circuito propuesto.

$$g_{of} \cdot (v_{ref} - v_{out}) + s \cdot C_{Mf} \cdot (v_{ref} - v_{out}) - s \cdot C_f \cdot v_{out} = 0 \quad (3.13c)$$

$$PSR = \frac{v_{out}}{v_{in}} = \frac{a_0 + a_1 s + a_2 s^2 + a_3 s^3}{1 + b_1 s + b_2 s^2 + b_3 s^3} \quad (3.14)$$

Los coeficientes $a_0, a_1, a_2, a_3, b_1, b_2$ y b_3 de la función de transferencia se calculan como (3.15a)-(3.15g) donde se han realizado las aproximaciones $g_m \gg g_o$ y C_{Mf}, C_2 son mucho más pequeñas que el resto de capacidades del circuito. Además, los valores para C_A, C_B y G_B se calculan como $C_A = C_1 + C_{bd1}$, $C_B = C_{right} + C_{bd1}$ y $G_B = g_{dio} + g_{m3}$.

$$a_0 \approx \frac{g_{o1} G_B + g_{o4} g_{mb1}}{G_{m2} G_B} \quad (3.15a)$$

$$a_1 \approx \frac{g_{mb1} C_A + G_B C_B}{G_{m2} G_B} \quad (3.15b)$$

$$a_2 \approx \frac{C_{Mf} (G_B C_B + g_{mb1} C_A)}{g_{of} G_{m2} G_B} \quad (3.15c)$$

$$a_3 \approx \frac{C_{Mf} (C_B C_{left} + C_A C_{right})}{g_{of} G_{m2} G_B} \quad (3.15d)$$

$$b_1 \approx \frac{C_f}{g_{of}} \quad (3.15e)$$

$$b_2 \approx \frac{C_f [G_B (C_2 + C_B) + G_{m2} (C_A + C_{left}) + g_{mb1} C_{bd1}]}{g_{of} G_{m2} G_B} \quad (3.15f)$$

$$b_3 \approx \frac{C_f [C_{bd1} (C_1 + C_{left}) + C_A C_{right}]}{g_{of} G_{m2} G_B} \quad (3.15g)$$

Las expresiones analíticas usadas para los cálculos de los parámetros de pequeña señal se muestran en las ecuaciones (3.16a)-(3.16f).

$$g_{m3} = \frac{\partial I_{DM3}}{\partial V_{sgM3}} = \frac{I_{DM3}}{n_3 V_T} \quad (3.16a)$$

$$g_{dio} = \frac{\partial I_{SBM1}}{\partial V_{SBM1}} = \frac{I_{D0}}{n_j V_T} e^{\frac{V_{in} - V_{body}}{n_j V_T}} \quad (3.16b)$$

$$g_{mb1} = \frac{\partial I_{DM1}}{\partial V_{SBM1}} = \frac{-\gamma I_{DM1}}{2n_1 V_T \sqrt{2|\Phi_F| + V_{dd} - V_{body}}} \quad (3.16c)$$

$$G_{m2} = \frac{1}{\sum_{i=1}^4 \frac{1}{g_{m2i}}} = \frac{1}{4} \frac{\partial I_{DM2}}{\partial V_{sgM2}} = \frac{1}{4} \frac{I_{DM2}}{n_2 V_T} \quad (3.16d)$$

$$g_{o1,4} \approx \frac{I_{DM1,4}}{V_A} [6] \text{ donde } V_A \text{ es la tensión Early} \quad (3.16e)$$

$$g_{of} \approx \frac{2n V_T W_{Mf} e^{\frac{V_{thMf}}{n V_T}}}{L_{Mf}} \quad (3.16f)$$

Para comprobar la validez del modelo de pequeña señal y la exactitud de las ecuaciones (3.16a)-(3.16f), se ha realizado una simulación AC del circuito para comparar la ecuación del PSR en (3.14) usando parámetros extraídos de simulación y parámetros calculados con las ecuaciones (3.16a)-(3.16f) a partir de los valores para corrientes y tensiones obtenidos con el programa en C++ aplicando el modelo desarrollado en la sección 3.1. Los valores para las capacidades fueron extraídos de la simulación para ambos casos. Como se puede observar, el modelo analítico desarrollado consigue reproducir con bastante precisión los resultados de simulación.

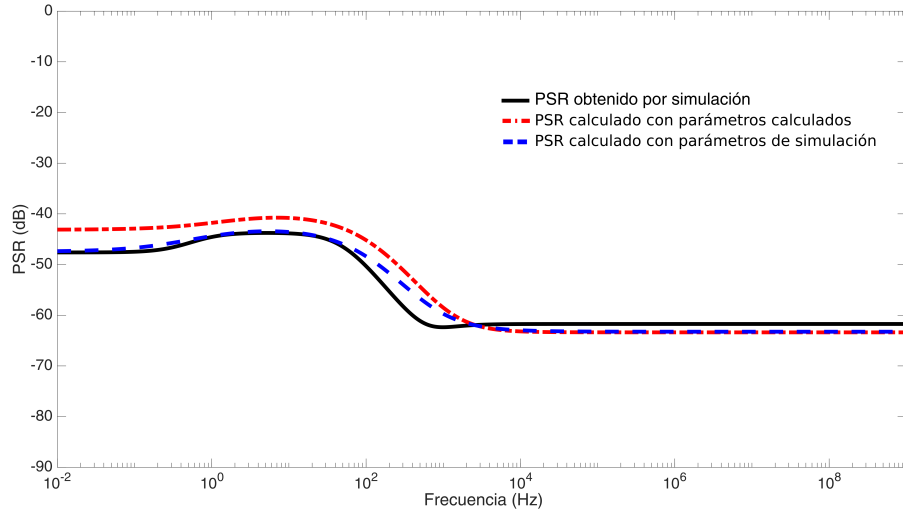


Figura 3.5: Comparación del modelo analítico para el PSR de la ecuación (3.14) usando los parámetros calculados con 3.16a-3.16f y usando parámetros extraídos del simulador con los resultados de simulación.

Por otra parte, a altas frecuencias, la ecuación para el PSR (3.14) se simplifica como (3.17). Si se elimina el transistor de filtro M_f manteniendo la capacidad

C_f , el PSR se obtiene resolviendo las ecuaciones de Kirchhoff (3.13a-3.13c) con $g_{of} \rightarrow \infty$ y $C_{M_f} = 0$. Haciendo el límite $s \rightarrow \infty$ se deriva la ecuación (3.18). La ecuación (3.19) expresa la relación entre el PSR con el filtro completo y el PSR cortocircuitando el transistor M_f , esto es, la mejora del PSR al introducir el transistor M_f . El valor numérico expresado en decibelios para la mejora de PSR a altas frecuencias debido a introducir M_f calculado con la ecuación (3.19) es de -23.9 dB.

$$PSR_{con M_f f \uparrow \uparrow} = \frac{a_3}{b_3} \approx \frac{C_{M_f}[C_B C_{left} + C_A C_{right}]}{C_f[C_{bd1}(C_1 + C_{left}) + C_A C_{right}]} \quad (3.17)$$

$$PSR_{sin M_f f \uparrow \uparrow} \approx \frac{C_{right}(C_A + C_{left}) + C_{bd1}C_{left}}{C_f(C_A + C_{left})} \quad (3.18)$$

$$\Delta PSR_{f \uparrow \uparrow} = \frac{PSR_{con M_f f \uparrow \uparrow}}{PSR_{sin M_f f \uparrow \uparrow}} \approx \frac{C_{M_f}(C_A + C_{left})}{C_{right}(C_A + C_{left}) + C_{bd1}(C_1 + C_{left})} \quad (3.19)$$

En la figura 3.6 se muestra una comparación por simulación del PSR del circuito propuesto y del circuito propuesto pero cortocircuitando el transistor M_f . El condensador C_f se implementa con un NCAP de 1.54 pF. De la figura 3.6 se extrae que la mejora de PSR a altas frecuencias debida al transistor M_f es de -24.4 dB, lo que coincide con gran exactitud con el valor numérico calculado a partir de (3.19).

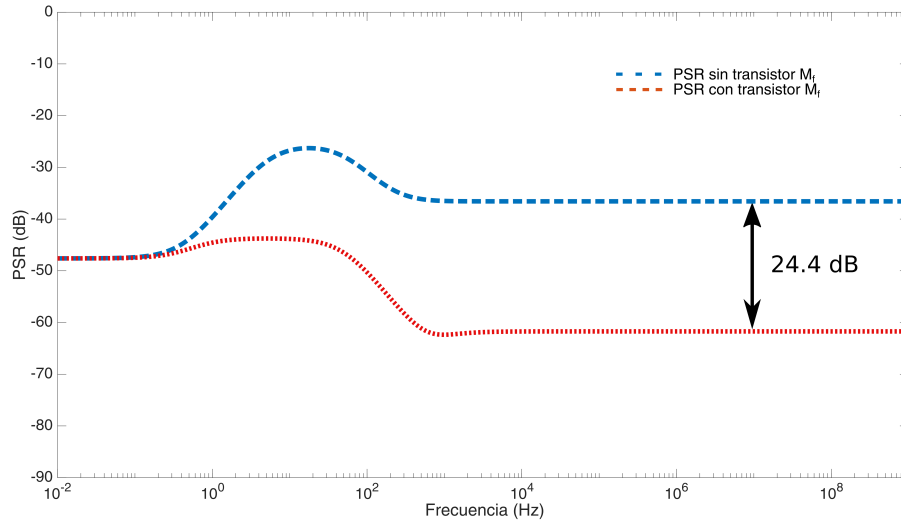


Figura 3.6: Mejora del PSR debida al transistor M_f obtenida por simulación.

Por último, en la figura 3.7 se muestra el PSR calculado con la ecuación (3.14) para distintos valores de capacidad de filtro C_f . El valor fue escogido como un compromiso entre el PSR y el área, siendo finalmente $C_f = 1.54$ pF.

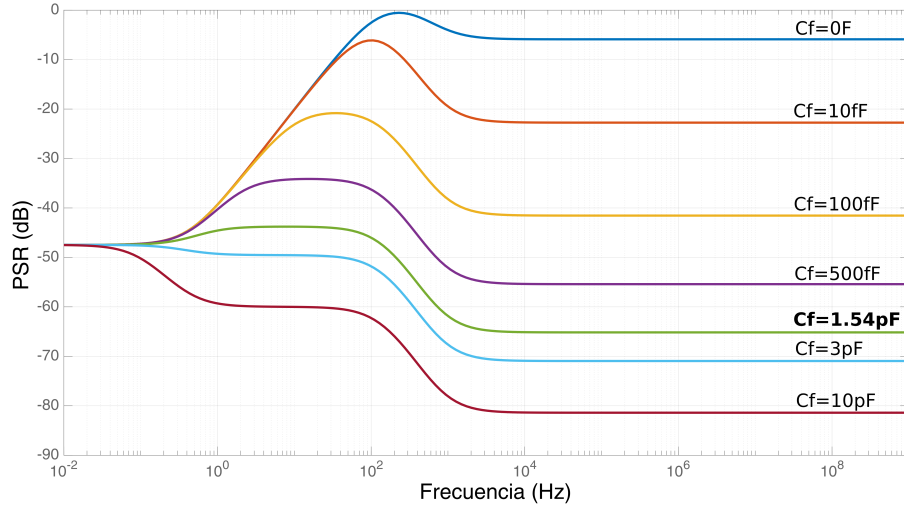


Figura 3.7: Evaluación de la ecuación (3.14) para distintos valores de capacidad C_f

3.2.2. Resultados de simulación del generador de tensión de referencia

En las figuras 3.8, 3.9 y 3.10 se muestran los resultados de simulación post-layout del circuito propuesto. Si no se indica otra cosa, todas las simulaciones se han realizado para la temperatura nominal del cuerpo humano $T=36^\circ\text{C}$.

La simulación DC de la figura 3.8(a) muestra que la tensión de referencia del circuito es de $V_{out} = 469\text{ mV}$ para una tensión de alimentación de 1 V . La sensibilidad de línea (3.20), definida como la pendiente de la tensión de salida entre las tensiones de alimentación mínima V_{ddmin} y máxima V_{ddmax} expresada en porcentaje del valor medio $\overline{V_{out}}$, es del $0,68\%/V$ para una alimentación entre 0.7 y 1.8 V .

$$LS = \frac{V_{out}(V_{ddmax}) - V_{out}(V_{ddmin})}{((V_{ddmax} - V_{ddmin})\overline{V_{out}})} \times 100 \quad (3.20)$$

El consumo de corriente del circuito frente a la tensión de alimentación se muestra en 3.8(b), con un valor a la tensión mínima de alimentación $V_{dd} = 0,7\text{ V}$ de 36 pA , equivalentes a una potencia mínima de $25,2\text{ pW}$. La corriente a través del circuito es prácticamente constante aumentando la tensión de alimentación, con un consumo máximo de $37,3\text{ pA}$ con $V_{dd} = 1,8\text{ V}$ equivalentes a $67,1\text{ pW}$ de potencia máxima para valores nominales de componentes.

Por otra parte, el PSR obtenido por simulación post-layout es mejor que -45 dB desde continua hasta frecuencias del orden de GHz, como se observa en la figura 3.9(a). Respecto a la respuesta temporal de la tensión de salida, mostrada en la figura 3.9(b), el tiempo de establecimiento medido en la simulación post-layout es aproximadamente $t_s = 126\text{ ms}$ para un cambio de 0 V a 1 V en la alimentación. Este tiempo es mayor al obtenido con simulación nominal debido a las capacidades parásitas del extraído del layout.

En las figuras 3.10(a) y 3.10(b) se muestran las simulaciones Montecarlo

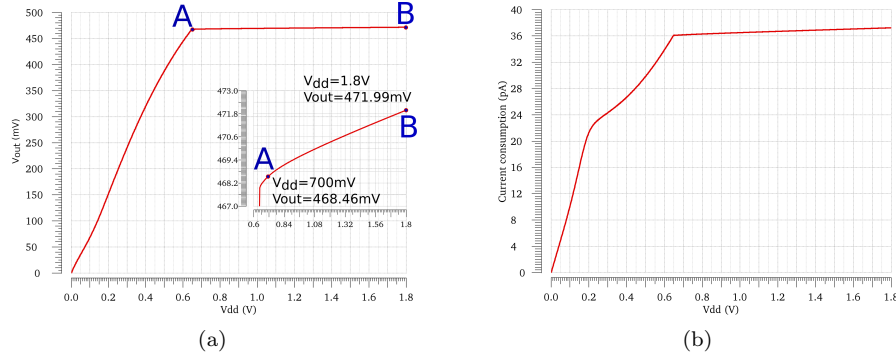


Figura 3.8: Simulaciones DC post-layout a $T=36\text{ }^{\circ}\text{C}$: (a) Dependencia de V_{out} con la tensión de alimentación; (b) Consumo de corriente frente a tensión de alimentación.

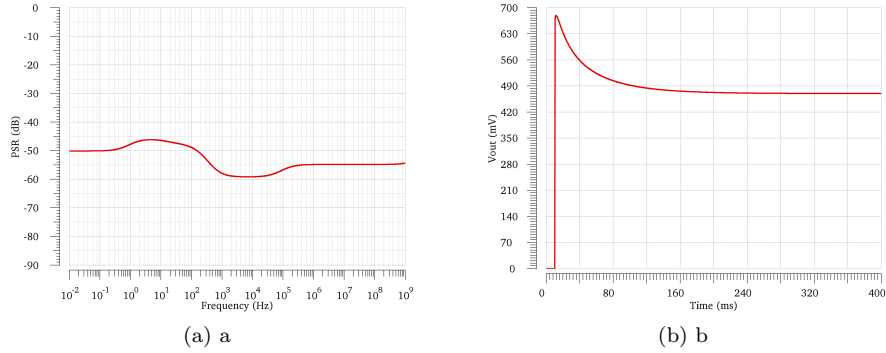


Figura 3.9: Simulaciones post-layout a $T=36\text{ }^{\circ}\text{C}$: (a) PSR para una tensión de alimentación de 1 V; (b) Respuesta transitoria de V_{out} .

para mismatch y variaciones de proceso para la tensión de salida y el consumo de corriente respectivamente. Se puede concluir que la tensión de referencia del circuito tiene una baja dispersión de $\sigma/\mu = 0,61\%$ sin necesidad de *trimming*. Sin embargo cabe destacar que el consumo de corriente sí sufre de una alta dispersión $\sigma/\mu = 28\%$ debido principalmente a la dependencia exponencial de la corriente subumbral con $V_{sg} + V_{th}$. En cualquier caso, el consumo de corriente se mantiene por debajo de los 100 pA para una tensión de alimentación de 1 V.

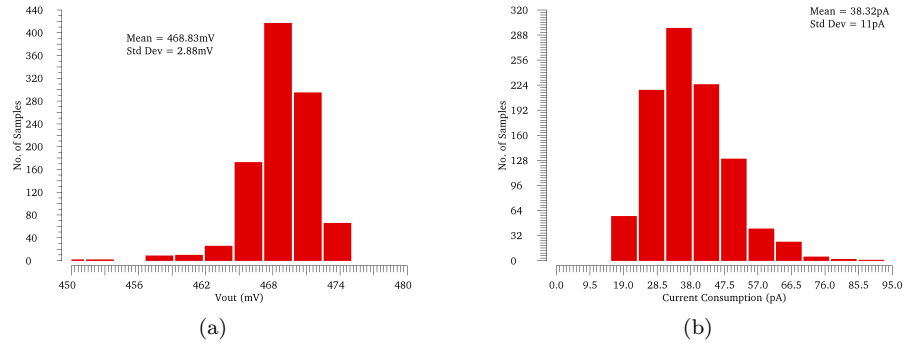


Figura 3.10: Simulaciones Montecarlo para mismatch y variaciones de proceso con $N=1000$ puntos, una tensión de alimentación de 1 V para (a) V_{out} y (b) consumo de corriente.

Capítulo 4

Regulador de tensión

Teniendo en cuenta el estudio realizado en el capítulo 2 sobre el regulador, se ha optado por una implementación usando un transistor de paso NMOS debido a que se logra mayor estabilidad y mejor PSR. La principal desventaja de usar un transistor N es la caída de tensión necesaria para satisfacer una demanda de corriente, principalmente si la fuente de alimentación para el amplificador de error es la misma que la del transistor de paso. Suponiendo un amplificador de error *rail-to-rail*, la tensión máxima en la puerta del transistor de paso será la tensión de alimentación del amplificador de error, por lo que la corriente máxima de salida estará definida por la relación W/L del transistor de paso y la tensión $V_{gsMpass} - V_{out}$. Por tanto, para mantener una baja caída de tensión en el regulador, se ha incorporado una bomba de carga Dickson para alimentar el amplificador de error. La bomba de carga influye negativamente en el consumo de corriente debido a las pérdidas que ofrece y además necesita de una señal de reloj para funcionar. En el caso particular del regulador diseñado, se supone alimentado por un sistema de recolección de energía que hace uso de capacidades conmutadas, y por tanto usa señales de reloj, las cuales pueden ser aprovechadas para la bomba de carga.

4.1. Amplificador de error

Como amplificador de error nos hemos decantado por un *folded-cascode* con entrada por par PMOS. El esquemático de este amplificador se muestra en la figura 4.1.

En la tecnología utilizada hay varios tipos de transistor según la tensión de funcionamiento. Para implementar el amplificador de error se han usado transistores denominados de 3.3 V, debido al uso de la bomba de carga como elevador de tensión. Como tensión V_{bias1} se usa la tensión V_{ref2} dibujada en gris claro del circuito propuesto como generador de tensión de referencia de la figura 3.2, cuyo valor obtenido por simulación es de 346 mV a 36 °C, y como V_{bias2} se usa la tensión V_{out} con valor expresado anteriormente de 469 mV. Estas tensiones de polarización implican que los transistores M_{N1} , M_{N2} y M_{N5} se encuentran en región subumbral buscando reducir el consumo junto con el dimensionado de los transistores del circuito.

El polo dominante del amplificador se encuentra en el nodo de salida de-

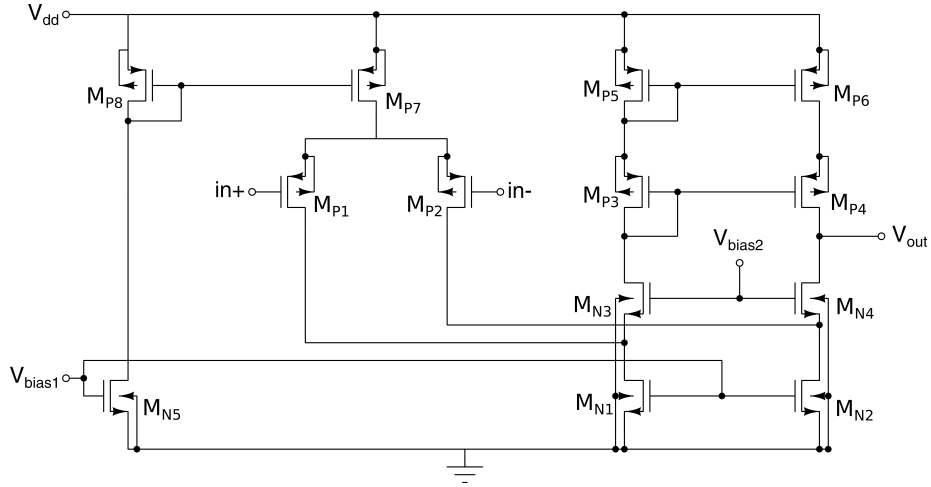


Figura 4.1: Esquemático del amplificador de error.

bido a la alta impedancia de dicho nodo y a la capacidad significativa que se conectará a su salida. La frecuencia de dicho polo se puede estimar como $\omega_{EA} = 1/R_{outEA}C_{pass}$ con C_{pass} la capacidad entre la puerta del transistor de paso y tierra y R_{outEA} la impedancia de salida el amplificador de error.

$$R_{outEA} \approx 2r_{op} || r_{on2} + r_{on4} = \frac{2r_{op}(r_{on2} + r_{on4})}{2r_{op} + r_{on2} + r_{on4}} \quad (4.1)$$

$$\omega_{EA} \approx \frac{2r_{op} + r_{on2} + r_{on4}}{2r_{op}(r_{on2} + r_{on4})C_{pass}} \quad (4.2)$$

Si tenemos en cuenta que para las corrientes de polarización usadas las impedancias de salida de los transistores alcanzan valores del orden de $10^{11} \Omega$, entonces es de esperar que el polo del amplificador se encuentre a una frecuencia de unos pocos hercios para capacidades para la puerta del transistor de paso del orden de picofaradios. Esto implica un sistema más estable con la contrapartida de empeorar la velocidad de respuesta.

Una estimación de la ganancia del amplificador se puede calcular como $g_{min}R_{outEA}$, donde g_{min} es la transconductancia del transistor de entrada. En el caso que nos ocupa, el transistor de entrada será M_{P2} , cuya transconductancia se encuentra en el orden de $10^{-9} \Omega^{-1}$, lo que significa que la ganancia se encontrará en el orden de las centenas de V/V.

4.1.1. Simulación del amplificador de error

En la figuras 4.2 y 4.3 se muestran los resultados de simulación del amplificador de error utilizado usando el generador de tensión de referencia para polarización y como entrada in-. Las simulaciones se han realizado a 36 °C y con una tensión de alimentación de 3 V. En éstas se obtiene que la ganancia es de 63 dB o 1400 V/V y la frecuencia del polo dominante con una capacidad de carga de 2 pF es de 0.6 Hz, siendo la frecuencia de ganancia unidad 262 Hz.

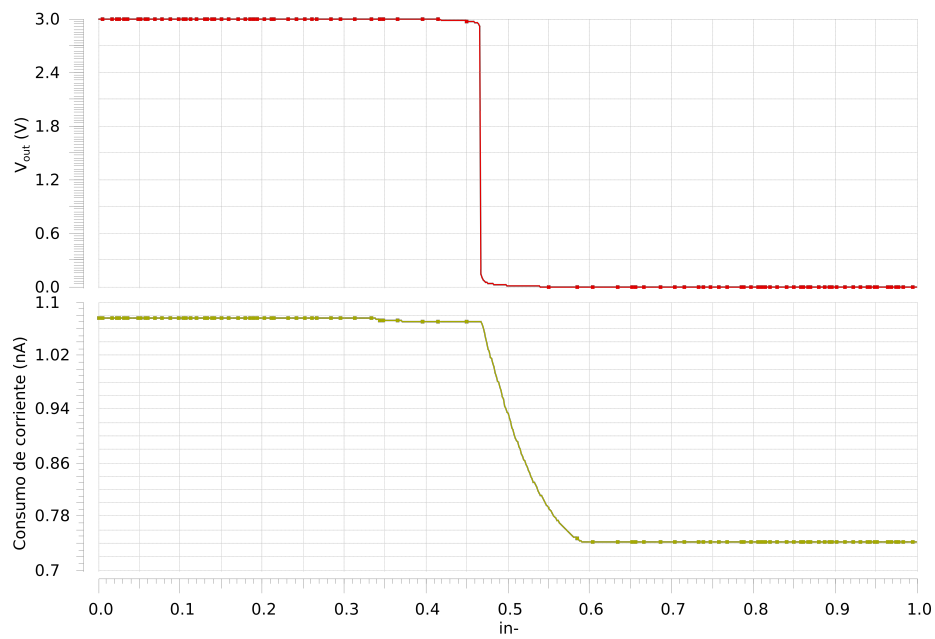


Figura 4.2: Simulación DC del amplificador de error.

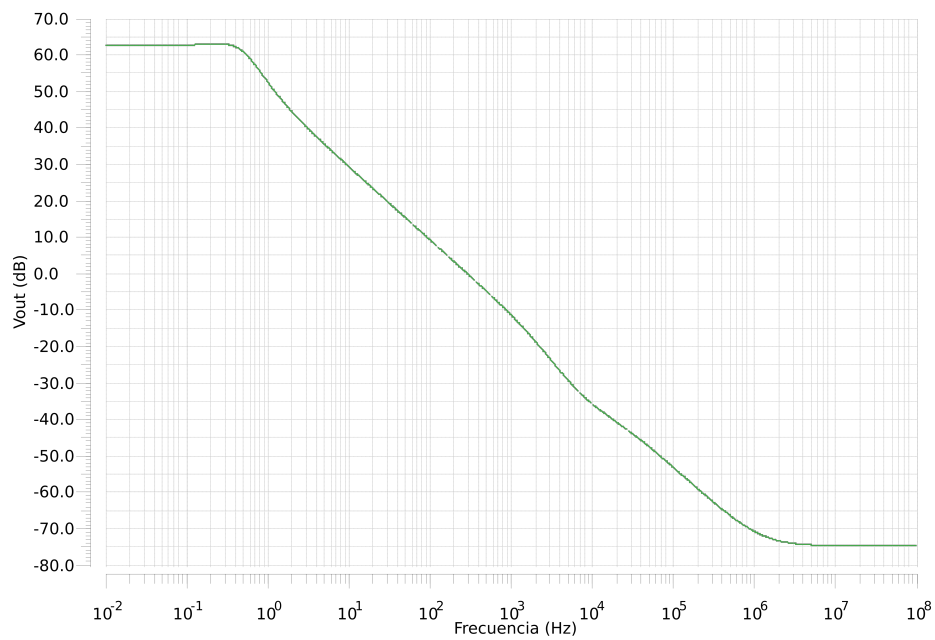


Figura 4.3: Simulación AC del amplificador de error.

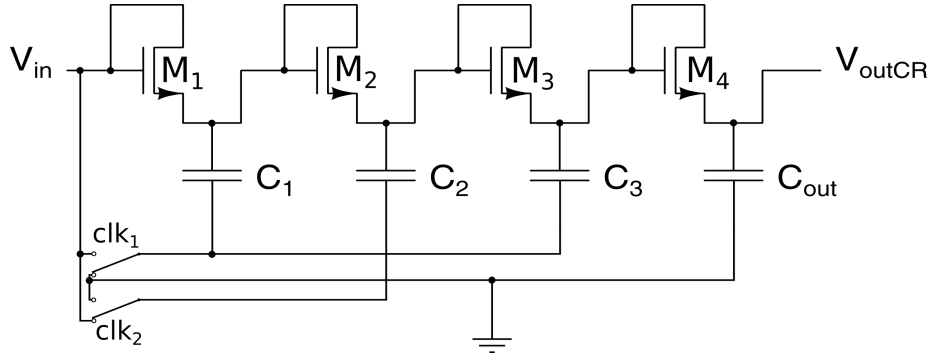


Figura 4.4: Esquema de la bomba de carga implementada.

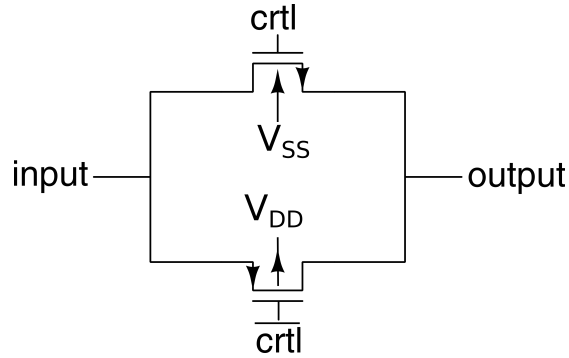


Figura 4.5: Esquemático de una puerta de transmisión.

4.2. Bomba de carga

Debido a que se usa un transistor de paso NMOS, se necesita de una bomba de carga para elevar la tensión de alimentación del amplificador de error y así disminuir la caída de tensión (dropout) del regulador y poder satisfacer demandas de corriente elevadas con una misma tensión de entrada.

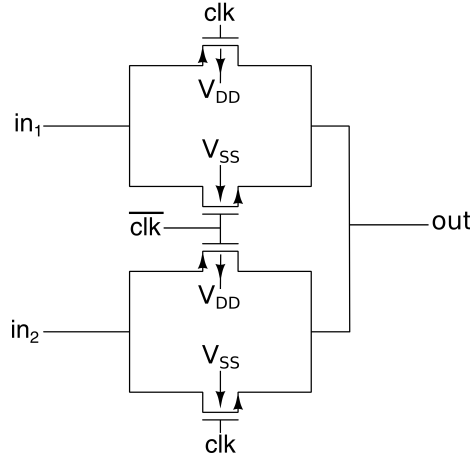
El elevador de tensión escogido es una bomba de carga de tipo Dickson de tres etapas siguiendo el esquema de la figura 4.4.

Los *switches* han sido implementados con pares de puertas de transmisión (en la figura 4.5) cuyas entradas de control se conectan de forma inversa. En la figura 4.6 se muestra el esquemático de un *switch* resultante de la conexión de dos puertas de transmisión.

La tensión de salida sin tener en cuenta las pérdidas en las capacidades y los *switches* se puede calcular como (4.3), donde la tensión umbral de cada transistor se irá incrementando debido a la tensión fuente-substrato siguiendo la relación (4.4), equivalente a la utilizada en el capítulo 3 para los transistores PMOS en el cálculo numérico de V_{ref} .

$$V_{outCR} = 4V_{in} - (V_{th1} + V_{th2} + V_{th3} + V_{th4}) \quad (4.3)$$

$$V_{thNMOS} = V_{th0} + \gamma(\sqrt{V_{SB} + 2\Phi_F} - \sqrt{2\Phi_F}) \quad (4.4)$$

Figura 4.6: Esquemático del *switch* implementado.

En la figura 4.7 se muestra el resultado de simulación de la bomba de carga con señales de reloj de frecuencia 1 KHz y usando una resistencia de $1\text{ G}\Omega$ como carga. La tensión V_{outCR} media en estas condiciones cuando ésta alcanza su valor final es de 2.53 V, lo que se traduce en una corriente de carga de 2.54 nA o una potencia de salida de 6.4 nW.

En la figura 4.8 se muestra la eficiencia de potencia, definida como el cociente de la potencia de salida y la potencia de entrada, en función de la corriente de carga y la frecuencia de las señales de reloj empleadas. La eficiencia máxima obtenida en el rango considerado es del 59.6 %.

Como el amplificador de error tiene un consumo de corriente de aproximadamente 1 nA, entonces con una frecuencia de reloj de 1 KHz será suficiente para que la bomba de carga alimente el amplificador, y en ese punto de funcionamiento el elevador de tensión está alrededor de la eficiencia máxima de potencia, ofreciendo una pérdida de energía del 40 %. Suponiendo un consumo de potencia de 3 nW para el amplificador de error, el consumo de potencia del conjunto bomba de carga más amplificador de error tendrá un consumo de potencia estimado de tan sólo 5 nW.

4.3. Regulador completo

Ahora es el momento de conectar los distintos componentes diseñados anteriormente a un transistor de paso y un partidor resistivo para realizar la realimentación. En la figura 4.9 se muestran los distintos componentes del regulador interconectados. La entradas al sistema son V_{in} y las señales de reloj clk1 y clk2, con la salida regulada V_{outreg} . Debido al alto costo de área de fabricar resistencias de valor elevado en silicio, se ha diseñado un partidor usando transistores PMOS.

Los transistores M_{pr1} , M_{pr2} , M_{pr3} , M_{pr4} y M_{pr5} se han dimensionado buscando una gran impedancia y para conseguir un factor de realimentación β de forma que la salida tuviese un valor de aproximadamente 1.1 V. En la figura 4.10 se muestra el resultado de simular el partidor variando la tensión de salida del

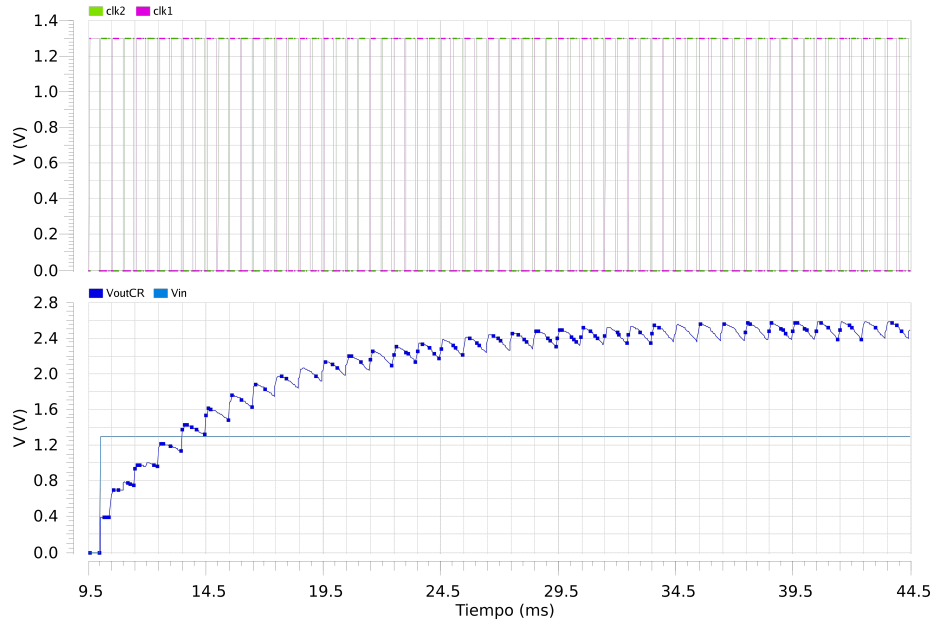


Figura 4.7: Simulación para la bomba de carga con una resistencia de $1\text{ G}\Omega$ como carga.

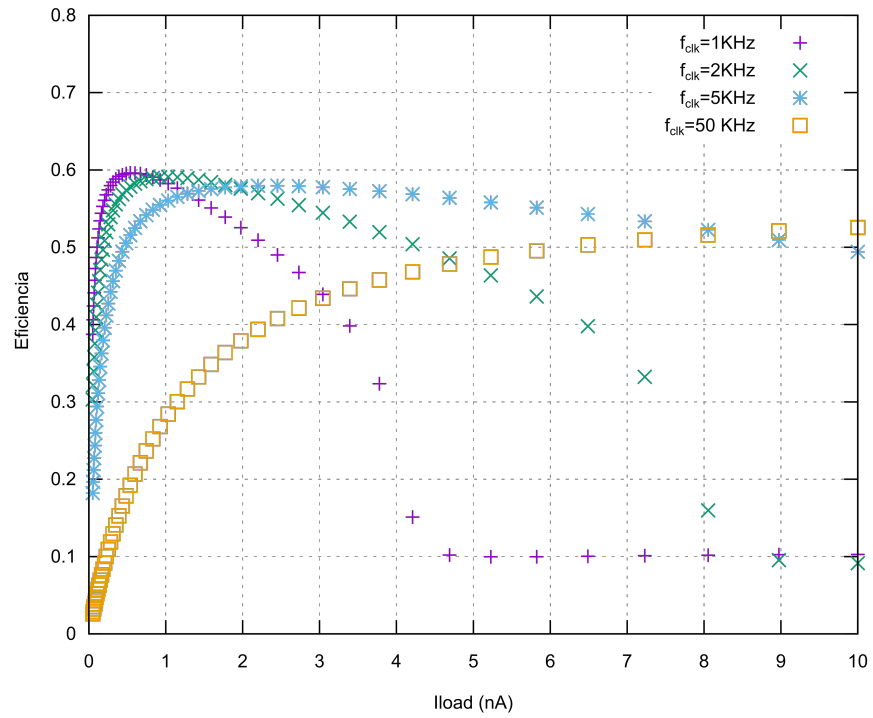


Figura 4.8: Eficiencia de potencia de la bomba de carga variando la corriente de carga para distintas frecuencias de reloj.

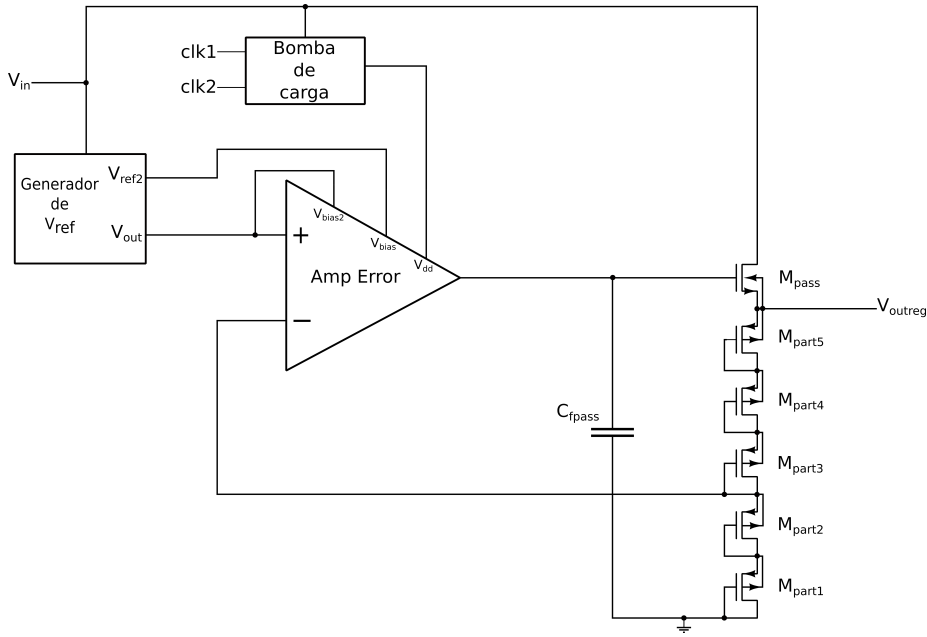


Figura 4.9: Esquema del regulador de tensión propuesto con cada una de sus partes.

regulador, de la cual se extrae un factor de realimentación $\beta = 0,4$ y un consumo de corriente de 21 pA para $V_{outreg} = 1.1$ V y de 100 pA para $V_{outreg} = 1.4$ V. El transistor de paso se ha dimensionado para que la máxima corriente de salida superase los 5 mA, teniendo un tamaño final de $200 \mu\text{m}/1 \mu\text{m}$. El condensador C_{fpass} se incorpora para reducir el ruido proveniente de la bomba de carga, y se ha implementado como un NCAP de 2.98 pF de capacidad, al mismo tiempo que asegura la estabilidad al reducir la frecuencia del polo del amplificador de error.

En las figuras 4.11, 4.12 y 4.13 se muestran resultados de simulación post-layout para el regulador funcionando. Se ha fijado la temperatura en 36°C y como señales de reloj se usan dos señales cuadradas desfasadas 180° cuya amplitud es la tensión de entrada (valor bajo 0 V y valor alto V_{in}). La corriente de carga se ha simulado con un espejo de corriente NMOS usando una fuente ideal de corriente.

La tensión de salida media del regulador para una tensión de entrada de 1.5 V es de 1.16 V para las condiciones de simulación mencionadas. En la figura 4.11 se observa que el regulador implementado ofrece una baja caída de tensión, teniendo un valor de 0.15 V para una corriente de carga de 5 mA.

En la figura 4.12 se muestra la corriente media de entrada del regulador cuando no se conecta nada a su salida (circuito abierto). A esta corriente se la denomina corriente quiescente I_Q , y es una medida del consumo de los reguladores LDO.

La figura 4.13 muestra el resultado de simulación ante un cambio brusco en la demanda de corriente desde $I_{L1} = 500$ nA hacia distintos valores de corriente de carga I_{L2} . Se aprecia que debido a los consumos tan bajos del circuito y el

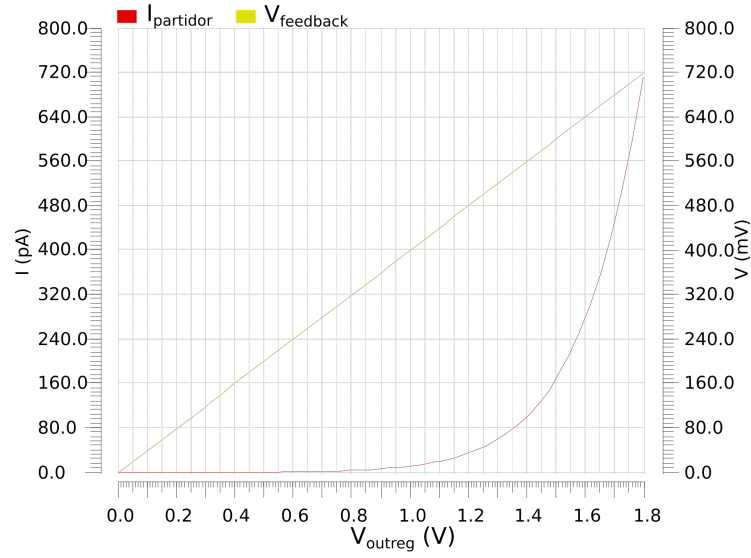


Figura 4.10: Simulación del partidor formado por los transistores M_{pr1} , M_{pr2} , M_{pr3} , M_{pr4} y M_{pr5} mostrando el consumo de corriente y la tensión de realimentación.

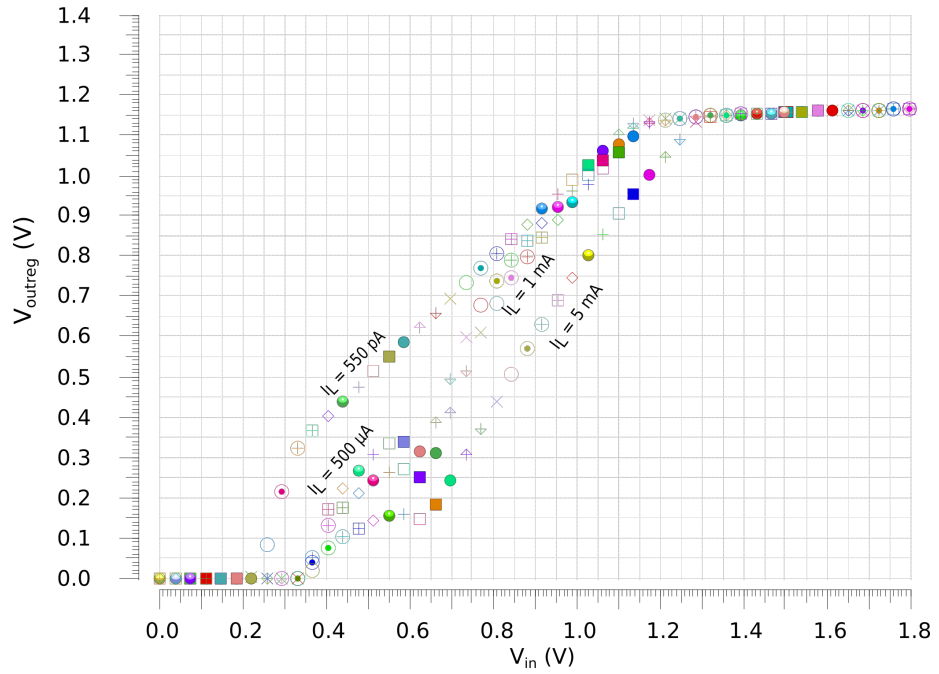


Figura 4.11: Tensión de salida media final del regulador para distintas corrientes de carga frente a tensión de entrada.

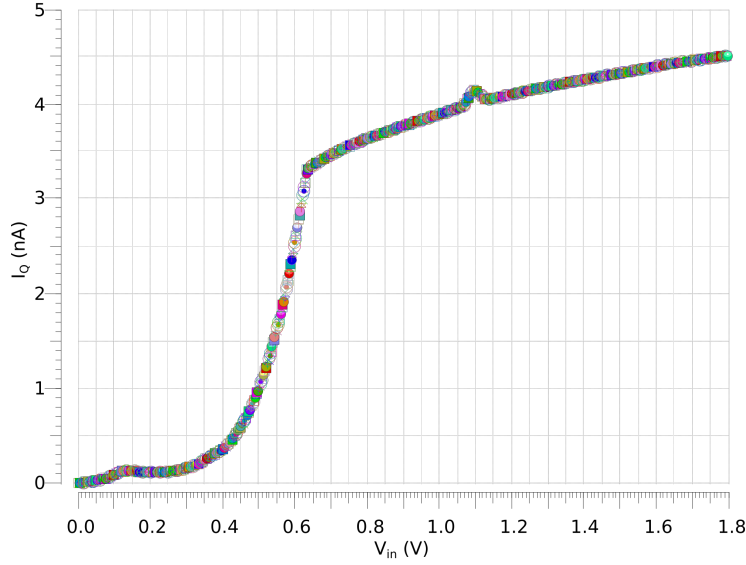


Figura 4.12: Corriente consumida por el regulador con su salida en circuito abierto frente a tensión de entrada.

polo de baja frecuencia en la puerta del transistor de paso, el circuito responde con relativa lentitud a cambios bruscos en la demanda de corriente. Dependiendo de la aplicación las métricas obtenidas pueden ser suficientes, sobre todo si se tiene en cuenta el caso de un sistema de recolección energética para aplicaciones de muy bajo consumo.

Para medir el PSR del regulador, se han realizado simulaciones superponiendo una señal senoidal de 50 mV de amplitud sobre la tensión de entrada, para a continuación medir la amplitud de la señal de salida a la frecuencia de interés. En la figura 4.14 se muestra un ejemplo de simulación de la respuesta del regulador para obtener el PSR. De esta forma, para 1.5 V de tensión de entrada, el PSR del regulador medido por simulación se muestra en la figura 4.15. Si la tensión de entrada es muy próxima a la tensión mínima necesaria para alcanzar la salida final, entonces el PSR será peor que para tensiones más elevadas de entrada. Esto se debe a que el transistor de paso está en zona lineal y no en saturación ($V_{in} - V_{outreg} < V_{gsMpass} - V_{thMpass}$), y por tanto la conductancia de salida del transistor de paso, g_{opass} , será alta, lo que implica un término $psr_{pass(NMOS)}$ mayor en virtud de la expresión (2.10) deducida en el capítulo 2, lo cual implica mayor proporción de ruido de la entrada en la salida (2.8). Este es el caso de los resultados cuando la corriente de carga es de 5 mA, donde se observa que a la salida tendremos aproximadamente la mitad de la amplitud del ruido (≈ -6 dB) a la entrada para prácticamente todas las frecuencias.

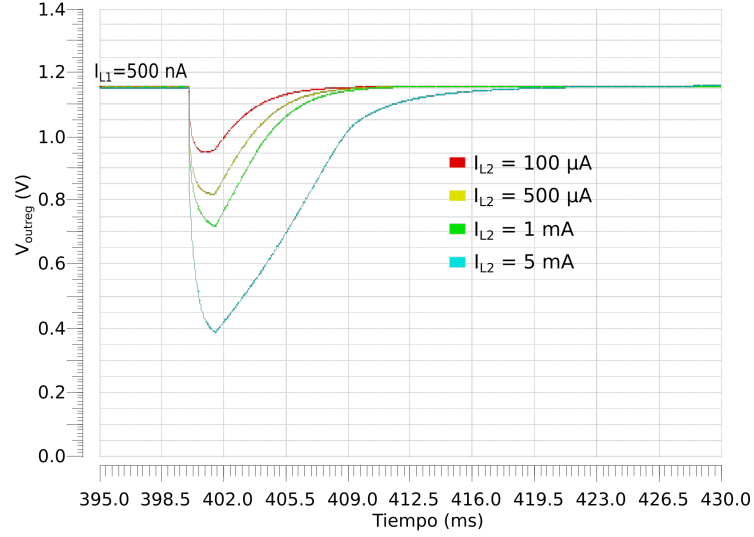


Figura 4.13: Simulación de la respuesta transitoria del regulador ante un cambio brusco en la demanda de corriente en $t=400$ ms desde una corriente $I_{L1}=500$ nA hasta distintas corrientes I_{L2} con una tensión de entrada de 1.5 V y una capacidad de carga de 10 pA.

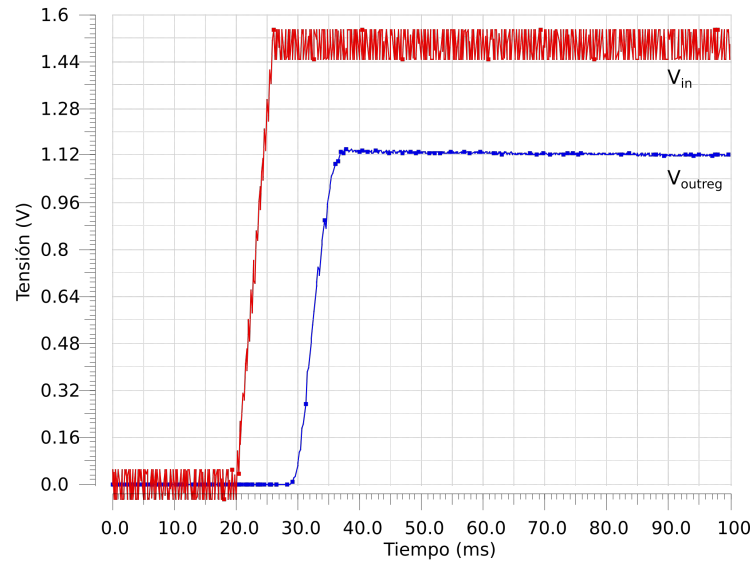


Figura 4.14: Ejemplo de simulación para el cálculo del PSR para una tensión de entrada de 1.5 V con una señal senoidal de 50 mV de amplitud y 5 KHz de frecuencia y una corriente de carga de 1 mA.

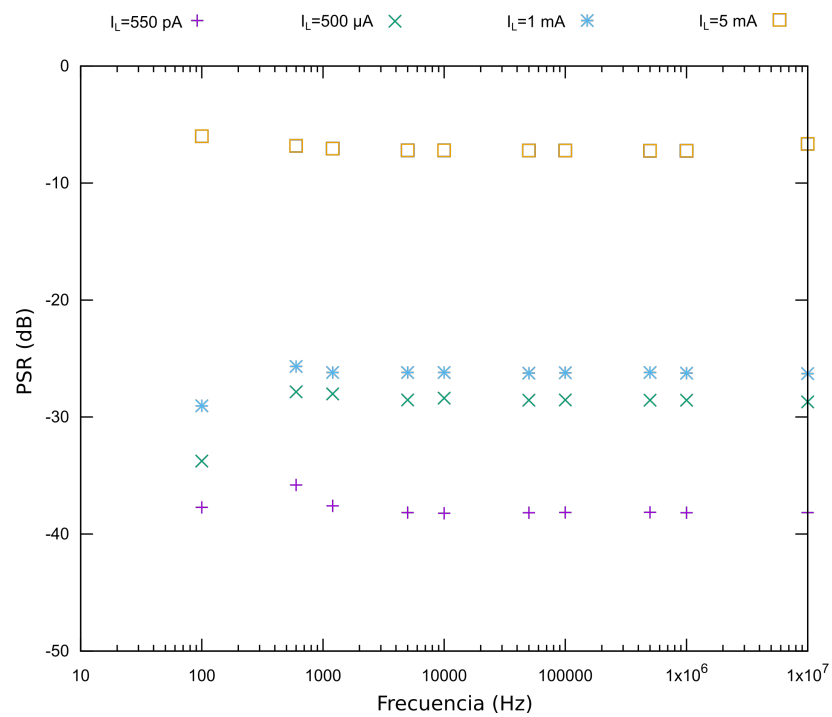


Figura 4.15: PSR obtenido por simulación para una tensión de entrada de 1.5 V.

Capítulo 5

Implementación en silicio y resultados experimentales

En este capítulo se muestran los resultados experimentales obtenidos tras la fabricación en la tecnología CMOS estándar de UMC 180 μm del circuito generador de tensión de referencia y del regulador de tensión propuestos en anteriores capítulos. En las figuras 5.1, 5.3 y 5.4 se muestran los *layouts* realizados para las distintas partes del regulador. El tamaño total del *layout* es de aproximadamente $105\ \mu\text{m} \times 118\ \mu\text{m}$, correspondientes a un área de $12600\ \mu\text{m}^2$.

Se han medido 20 chips distintos en cada uno de los cuales se han implementado dos circuitos generadores de tensión de referencia y dos reguladores completos. Por tanto, hay medidas de cuarenta circuitos generadores de tensión de referencia y otros tantos reguladores de tensión.

Debido a las corrientes tan bajas a través del circuito generador de tensión de referencia, del orden de decenas de picoamperios, para no alterar los valores de tensión de salida ni los tiempos de respuesta debido a las capacidades de los PADs del chip y a las impedancias de entrada de los instrumentos de medida, a cada circuito generador de tensión de referencia se le ha añadido un *buffer*. Estos *buffer* se han implementado usando la estructura del amplificador *folded-cascode* con entrada por par PMOS y usando tensiones externas para alimentación y polarización. En la figura 5.5 se muestra el esquemático de los buffers implementados.

Todas las medidas expuestas a continuación han sido realizadas a la temperatura ambiente del laboratorio, de valor aproximado 22°C . Las medidas de tensión respecto al tiempo se han realizado usando un osciloscopio Agilent MSO-X 3034A. Para las medidas de corriente se ha usado el picoamperímetro Keithley 6487 promediando valores para cada circuito. Como generador de señales se ha usado principalmente un Techtronik AFG-3102 C, echando mano de un Hameg HM 8030 para generar las señales de control cuando se ha necesitado un switch y también para generar el estímulo en las mediciones de tiempo de establecimiento.

En las figuras 5.6, 5.7, 5.8 y 5.9 se muestran los resultados de medida para los cuarenta circuitos generadores de tensión de referencia disponibles. De estos resultados se obtiene un valor medio de tensión de referencia $V_{out} = 553\ \text{mV}$ con una desviación típica de $4.07\ \text{mV}$, lo que implica una dispersión $\sigma/\mu = 0,74\ \%$,

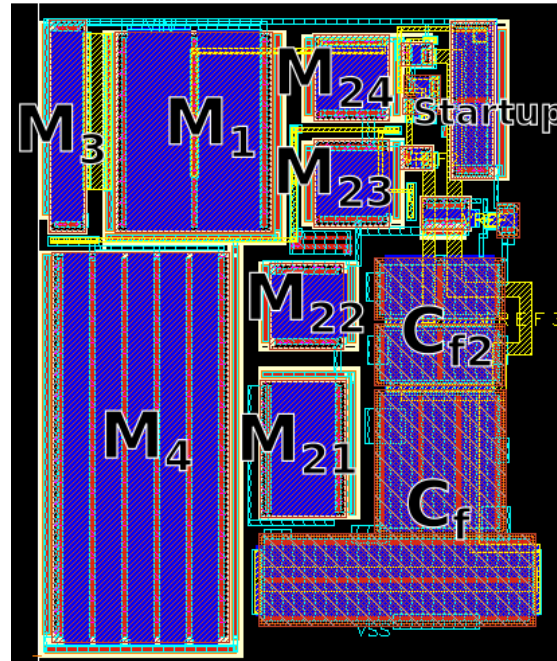


Figura 5.1: Layout para el circuito generador de tensión de referencia mostrando un rectángulo de $40\ \mu\text{m} \times 52\ \mu\text{m}$.

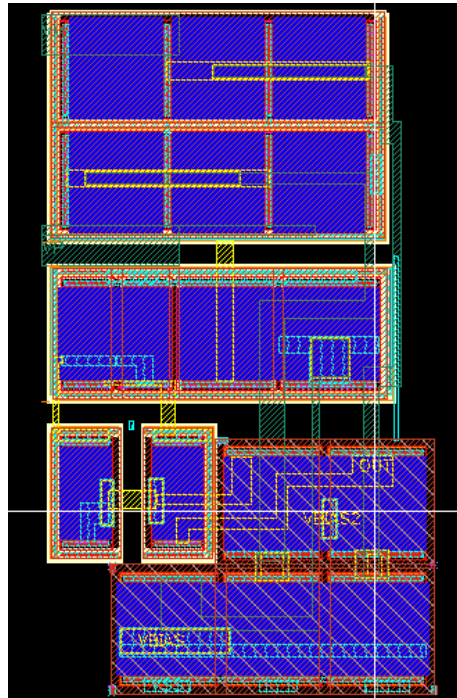


Figura 5.2: Layout del amplificador de error mostrando un rectángulo de $35\ \mu\text{m} \times 60\ \mu\text{m}$.

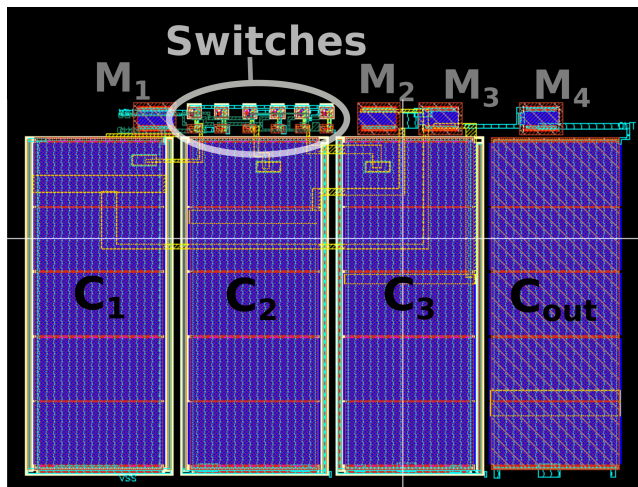


Figura 5.3: Layout de la bomba de carga mostrando un rectángulo de $102 \mu\text{m} \times 70 \mu\text{m}$.

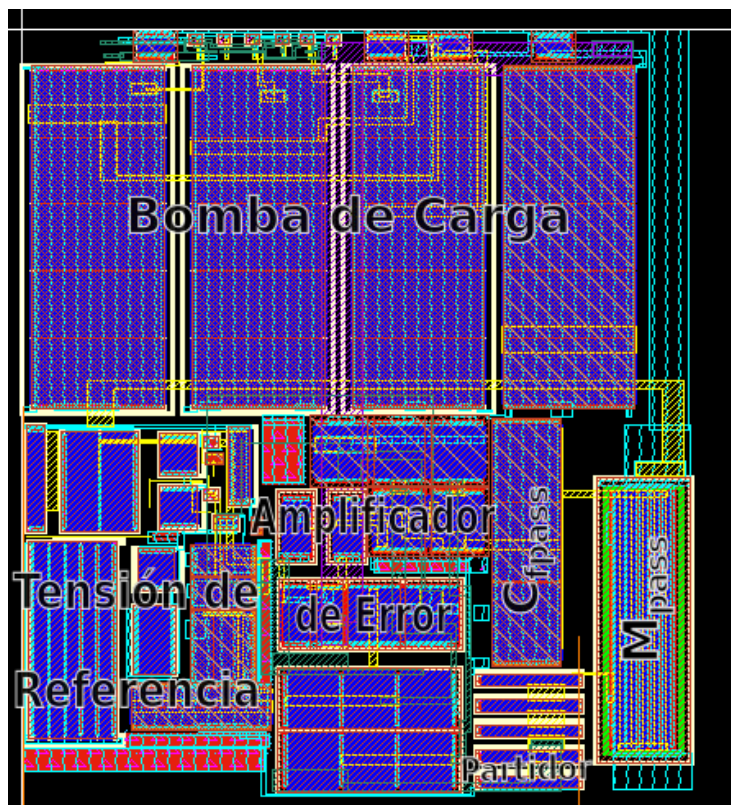


Figura 5.4: Layout del regulador completo mostrando un rectángulo de $120 \mu\text{m} \times 125 \mu\text{m}$.

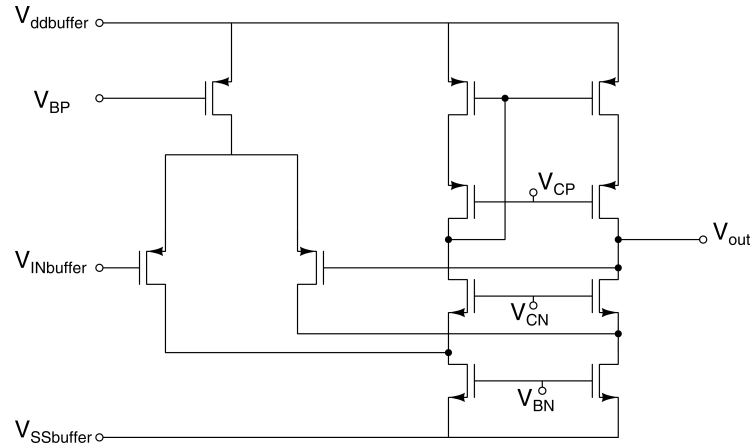


Figura 5.5: Esquemático de los *buffer* implementados para medir la salida de los circuitos generadores de tensión de referencia.

valor más elevado que el esperado por simulación. El consumo medio de corriente medido es de 114 pA, superior también a lo esperado por simulación. Para el tiempo de establecimiento se obtuvo una media de 170 ms cuando la tensión pasa de 0 V a 1.39 V.

Para el regulador se muestran los resultados de las figuras 5.10 y 5.11 para comprobar la regulación de tensión, 5.12 para tener una noción del consumo de corriente, y 5.13 para mostrar un transitorio en la demanda de corriente. Como señales de reloj se han usado dos señales cuadradas con amplitud 1.5 V desfasadas 180° y con una frecuencia de 1 KHz.

La tensión media de regulación obtenida es de 1.35 V frente al valor esperado de 1.1 V. Esto se debe a que el circuito generador de tensión de referencia genera a su vez una tensión más elevada que la esperada por simulación.

Las medidas de consumo del regulador con su salida en circuito abierto mostradas en la figura 5.12 arrojan una corriente quiescente media $I_Q = 12,94$ nA.

La respuesta transitoria se ha medido utilizando un *switch* comercial externo Texas Instruments CD4066B al cual se le ha conectado una señal de control cuadrada, de forma que pasase de corte a conducción teniendo en el camino a tierra de la salida del *switch* un potenciómetro con el cual regular la corriente en conducción.

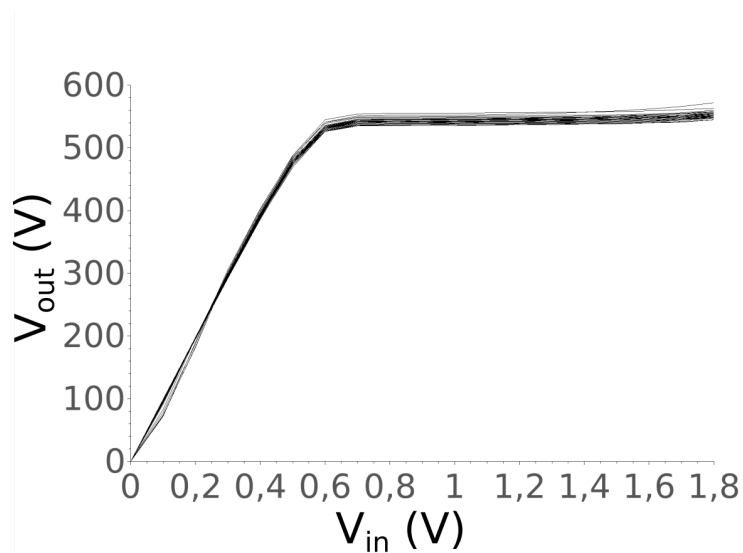


Figura 5.6: Tensión de salida del circuito generador de referencia medida en el laboratorio frente a tensión de alimentación para los cuarenta circuitos medidos.

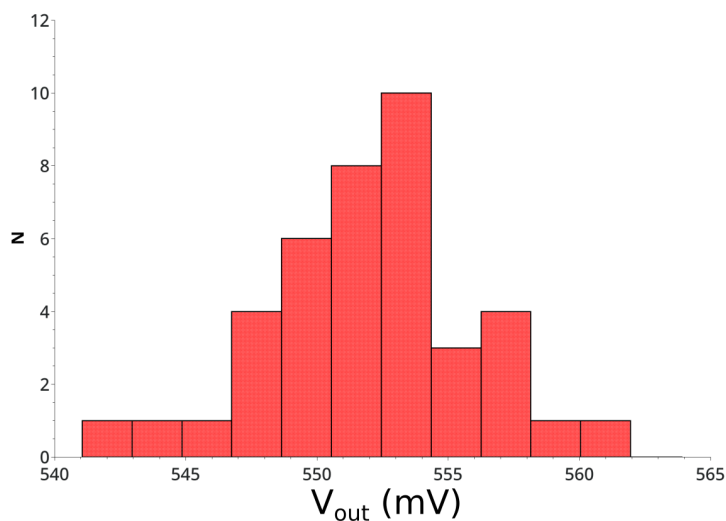


Figura 5.7: Tensión de salida del circuito generador de referencia medida en el laboratorio para una tensión de alimentación de 1 V .

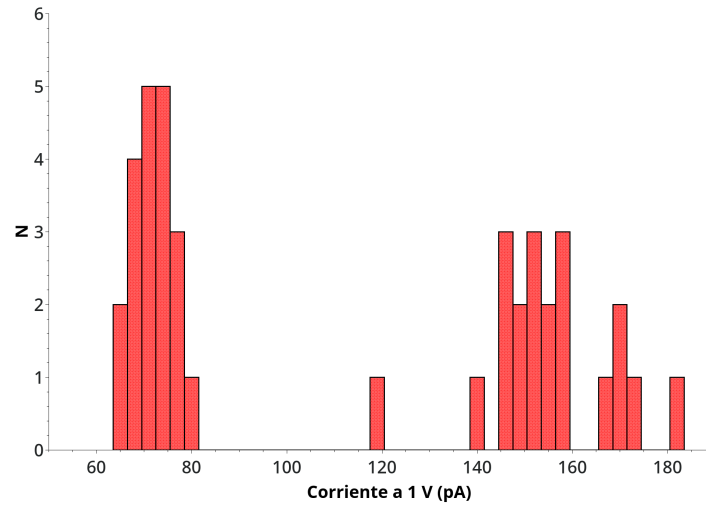


Figura 5.8: Histograma del consumo de corriente medido para el circuito generador de tensión de referencia para una tensión de alimentación de 1 V.

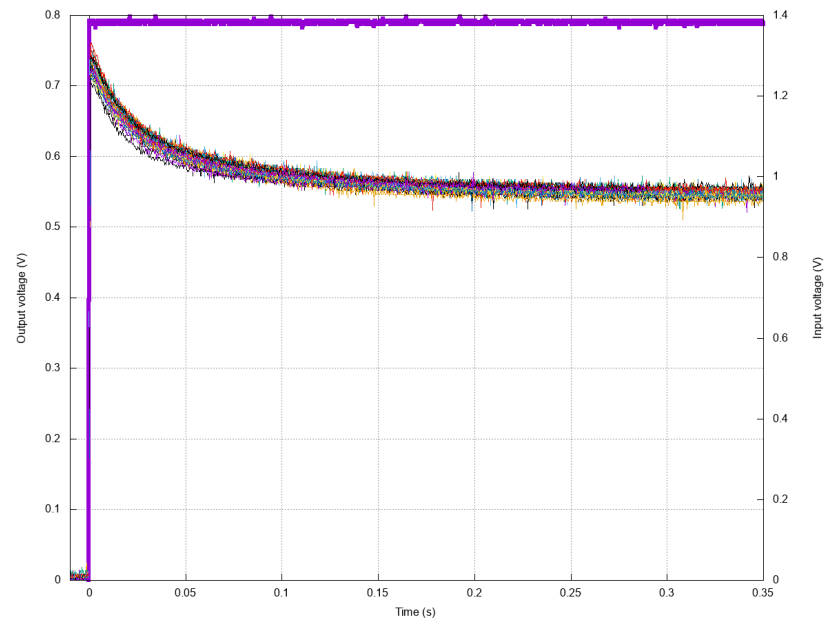


Figura 5.9: Transitorios medidos para el circuito generador de V_{ref} ante el paso en la tensión de alimentación de 0 V a 1.39 V.

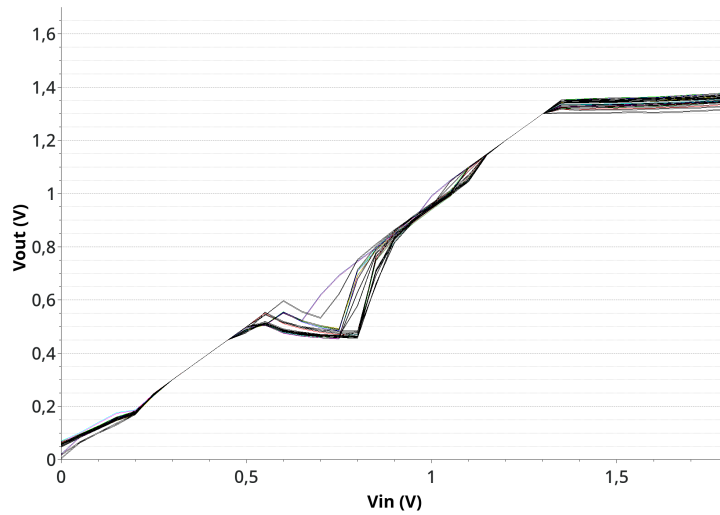


Figura 5.10: Tensión de salida del regulador variando la tensión de entrada dejando la salida en circuito abierto.

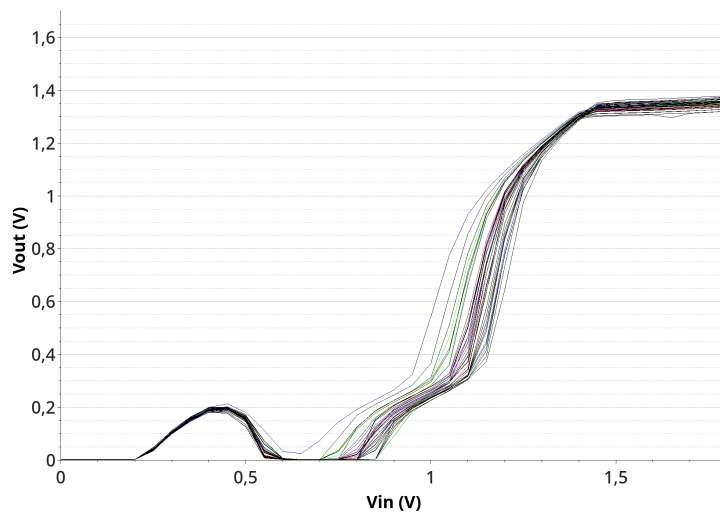


Figura 5.11: Tensión de salida del regulador variando la tensión de entrada usando una resistencia de 680 Ω como carga, lo que implica a la tensión de regulación una demanda de corriente de 1.98 mA

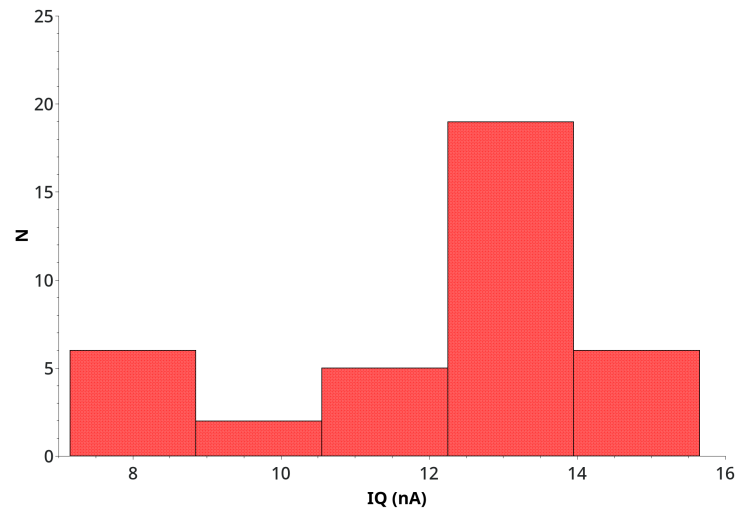


Figura 5.12: Histograma del consumo de corriente del regulador (I_Q) con la salida en circuito abierto para una tensión de entrada de 1.5 V

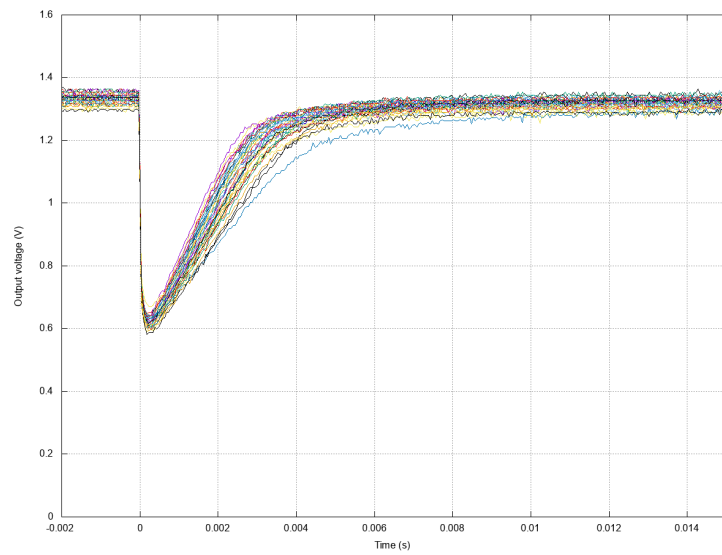


Figura 5.13: Respuesta transitoria de los reguladores ante un cambio brusco en la demanda de corriente desde 133 nA hasta 4.1 mA y con una tensión de entrada de 1.5 V.

Bibliografía

- [1] Nashiru Alhassan, Zekun Zhou, and Edgar Sánchez-Sinencio. An All-MOSFET Sub-1-V Voltage Reference With a -51-dB PSR up to 60 MHz. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 25(3):919–928, March 2017.
- [2] Nashiru Alhassan, Zekun Zhou, and Edgar Sánchez-Sinencio. An All-MOSFET Voltage Reference With -50-dB PSR at 80 MHz for Low-Power SoC Design. *IEEE Transactions on Circuits and Systems*, 64:892–896, August 2017.
- [3] David M. Binkley. *Tradeoffs and Optimization in Analog CMOS Design*. John Wiley & Sons, 2008.
- [4] Qing Dong, Kaiyan Yang, David Blaauw, and Dennis Sylvester. A 114-pW PMOS-Only, Trim-Free Voltage Reference with 0.26% within-Wafer Inaccuracy for nW Systems. In *'2016 Symposium on VLSI Circuits Digest of Technical Papers'*, Honolulu, HI, USA, June 2016. 2016 Symposium on VLSI Circuits Digest of Technical Papers.
- [5] Mingoo Seok, Gyouho Kim, David Blaauw, and Dennis Sylvester. A Portable 2-Transistor Picowatt Temperature-Compensated Voltage Reference Operating at 0.5V. *IEEE Journal of Solid-State Circuits*, 47:2534–2545, October 2012.
- [6] Yannis Tsividis. *Mixed analog-digital VLSI Devices and Technology*. World Scientific, 2005.
- [7] Harry Veendrick. *Nanometer CMOS ICs, from Basics to ASICs*. Springer, 2008.